



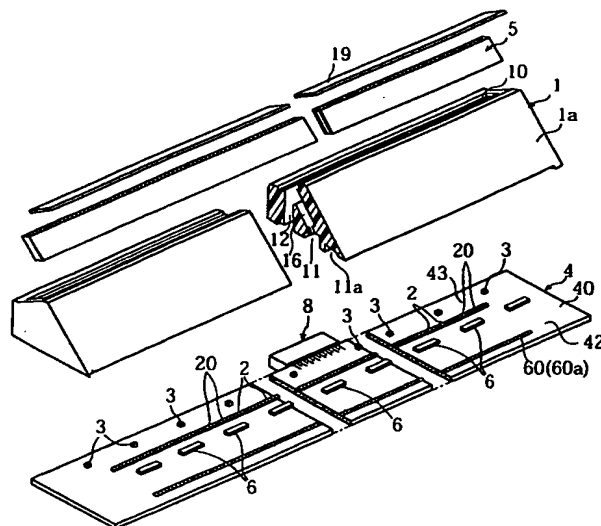
PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類 H04N 1/024</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/07358</p> <p>(43) 国際公開日 2000年2月10日(10.02.00)</p>
<p>(21) 国際出願番号 PCT/JP99/04143</p> <p>(22) 国際出願日 1999年7月30日(30.07.99)</p> <p>(30) 優先権データ 特願平10/218092 1998年7月31日(31.07.98) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) ローム株式会社(ROHM CO., LTD.)(JP/JP) 〒615-8585 京都府京都市右京区西院溝崎町21番地 Kyoto, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 藤本久義(FUJIMOTO, Hisayoshi)(JP/JP) 大西弘朗(ONISHI, Hiroaki)(JP/JP) 高倉敏彦(TAKAKURA, Toshihiko)(JP/JP) 今村典広(IMAMURA, Norihiro)(JP/JP) 〒615-8585 京都府京都市右京区西院溝崎町21番地 Kyoto, (JP)</p> <p>(74) 代理人 吉田 稔, 外(YOSHIDA, Minoru et al.) 〒543-0014 大阪府大阪市天王寺区玉造元町2-32-1301 Osaka, (JP)</p>		<p>(81) 指定国 CA, CN, JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>

(54)Title: INTEGRATED IMAGE READ/WRITE HEAD, AND IMAGE PROCESSOR WITH THE READ/WRITE HEAD

(54)発明の名称 画像読み書き一体ヘッドおよびこれを備えた画像処理装置



(57) Abstract

An integrated image read/write head (X) includes a substrate (4), on one surface (40) of which are provided a read circuit with a plurality of photodetector elements (20), a plurality of printing elements (60), and a write circuit for driving the printing elements (60). The read circuit, the printing elements, and the write circuit are connected electrically to a connector (8) mounted on the substrate (4).

(57)要約

画像読み書き一体ヘッド（X）の基板（４）の表面（４０）には、複数の受光素子（２０）を備えた読み取り回路、複数の印字用素子（６０）、および複数の印字用素子（６０）を駆動制御するための書き込み駆動回路が設けられている。基板（４）には、電気配線用の１つのコネクタ（８）が取り付けられており、このコネクタ（８）に、上記読み取り回路、複数の印字用素子、および上記書き込み駆動回路のそれぞれが導通している。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TG	チャード
BG	ブルガリア	GM	ガンビア	MC	モナコ	TD	トーゴ
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GW	ギニア・ビサウ	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア 共和国	TM	トルクメニスタン
CA	カナダ	HR	クロアチア	ML	マリ	TR	トルコ
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	TT	トリニダード・トバゴ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UA	ウクライナ
CH	スイス	IE	アイルランド	MW	マラウイ	UG	ウガンダ
CI	コートジボアール	IL	イスラエル	MX	メキシコ	US	米国
CM	カメルーン	IN	インド	NE	ニジェール	UZ	ウズベキスタン
CN	中国	IS	アイスランド	NL	オランダ	VN	ヴェトナム
CR	コスタ・リカ	IT	イタリア	NO	ノルウェー	YU	ユーゴスラビア
CU	キューバ	JP	日本	NZ	ニュージーランド	ZA	南アフリカ共和国
CY	キプロス	KE	ケニア	PL	ポーランド	ZW	ジンバブエ
CZ	チェコ	KG	キルギスタン	PT	ポルトガル		
DE	ドイツ	KP	北朝鮮	RO	ルーマニア		
DK	デンマーク	KR	韓国				

## 明 細 書

## 画像読み書き一体ヘッドおよびこれを備えた画像処理装置

技術分野

本発明は、画像の読み取り機能とプリント機能とを併せ持つ画像読み書き一体ヘッドおよびこれを備えた画像処理装置に関する。

背景技術

画像処理装置の具体例としては、ファクシミリ装置がある。このファクシミリ装置は、画像の読み取り機能とプリント機能とを併せもつ必要があるとともに、可能な限り小型に製作されることが望まれる。

そこで、従来においては、図 16 に示すような画像読み書き一体ヘッド Y がある。この画像読み書き一体ヘッド Y は、透明カバー 19 を上面部に装着したケース 1 を有している。このケース 1 の内部には、透明カバー 19 の表面上に設定される読み取りライン L を照明するための光源 3 およびレンズ 5 が設けられている。ケース 1 の底面部には、基板 4 が組付けられている。この基板 4 の表面 40 および裏面 41 には、複数の受光素子 20 を有する複数のセンサ IC チップ 2 および複数の発熱素子 60 がそれぞれこの基板 4 の長手方向に列状に並べられて搭載されている。また、複数の発熱素子 60 の駆動制御を行なうための書き込み駆動回路を構成する複数の駆動 IC チップ 6 も、基板 4 の裏面 41 に搭載されている。

図 17 に示すように、基板 4 には、図示していない外部機器との電気配線接続用の 2 つのコネクタ 8 A、8 B が取り付けられている。コネクタ 8 A は、基板 4 の表面 40 に形成された配線パターン（図示略）を介して複数のセンサ IC チップ 2 と導通している。コネクタ 8 B は、基板 4 の裏面 41 に形成された配線パターン（図示略）を介して複数の発熱素子 60 および複数の駆動 IC チップ 6 と導通している。

このような構造を有する画像読み書き一体ヘッド Y においては、図 16 に表れているように、原稿 D が透明カバー 19 の表面に密着するようにしてプラテンロ

ーラP<sub>1</sub>により搬送される。この搬送過程において、原稿Dの表面が光源3によって照明される。すると、原稿Dの表面によって反射された光はレンズ5によって集束され、原稿Dの画像が各受光素子80上に結像し、各受光素子80からは読み取り画像データが1ライン分ずつ出力される。この出力信号は、コネクタ8Aを介して外部に取り出される。一方、感熱タイプの記録紙Kは、各発熱素子60に密着するようにしてプラテンローラP<sub>2</sub>により搬送される。この搬送過程において、複数の駆動ICチップ6によって構成された書き込み駆動回路は、コネクタ8Bを介して外部から送信されてきたデータに基づき複数の発熱素子60を選択的に発熱駆動させる。これにより、記録紙Kには画像が1ライン分ずつプリントされる。上記した画像読み書き一体ヘッドYを用いれば、読み取りヘッドとプリントヘッドとを別々に用いる場合よりもファクシミリ装置全体を薄型にすることが可能である。

しかしながら、上記従来技術の画像読み書き一体ヘッドYにおいては、次のような問題点があった。

第1に、2つのプラテンローラP<sub>1</sub>、P<sub>2</sub>は、画像読み書き一体ヘッドYの全体を挟むように配置される。このため、プラテンローラP<sub>1</sub>、P<sub>2</sub>および画像読み書き一体ヘッドYの全体が、画像読み書き一体ヘッドYの厚み方向に嵩張る。したがって、画像処理装置全体の厚みが依然として大きい。

第2に、画像読み書き一体ヘッドYを製作する場合には、基板4の表面40に複数のセンサICチップ2を搭載させた後に、基板4を表裏反転させてから基板4の裏面41に複数の発熱素子60や複数の駆動ICチップ6を搭載させる必要がある。また、それらに関連する配線パターンについても、基板4の表面40と裏面41とのそれぞれに設ける必要がある。したがって、画像読み書き一体ヘッドYの生産性が悪い。

第3に、基板4に2つのコネクタ8A、8Bを取り付けているために、コネクタの数が多し。このため、画像読み書き一体ヘッドYの生産性が一層悪い。

#### 発明の開示

本発明の目的は、上記問題点を解消または軽減することができる画像読み書き

一体ヘッドおよび画像処理装置を提供することにある。

本発明の第1の側面により提供される画像読み書き一体ヘッドは、列状に配された複数の受光素子を備えた読み取り回路が設けられた基板と、

上記複数の受光素子を囲むようにして上記基板に組み付けられたケースと、

上記基板に対して間隔を隔てて対向するように上記ケースに装着され、原稿が接触搬送される透明カバーと、

上記ケース内に配置され、上記原稿を照明するための光源と、

上記ケース内に配置され、上記光源によって照明された原稿の画像を上記複数の受光素子上に結像させるための複数のレンズと、

上記複数の受光素子と同方向の列状に配され、上記基板に搭載された複数の印字用素子と、

上記基板に設けられ、かつ上記複数の印字用素子の駆動を制御するための書き込み駆動回路と、

を有している、画像読み書き一体ヘッドであって、

上記読み取り回路、上記複数の印字用素子および上記書き込み駆動回路は、上記基板の同一表面に設けられており、かつ、

上記基板には、上記読み取り回路、上記複数の印字用素子および上記書き込み駆動回路のそれぞれと導通する電気配線用の1つのコネクタが取り付けられていることを特徴としている。

このような構成の画像読み書き一体ヘッドにおいては、次のような効果が得られる。

第1に、原稿搬送用および記録紙搬送用の2つのプラテンローラについては、画像読み書き一体ヘッドの基板の同一表面に設けられている複数の受光素子や複数の印字用素子に対して間接的にまたは直接的に対向するように配置することができる。このため、上記従来技術とは異なり、画像読み書き一体ヘッドの全体を挟むように2つのプラテンローラを配置する必要はなく、2つのプラテンローラが画像読み書き一体ヘッドの厚み方向に大きく嵩張らないようにして、画像処理装置全体の薄型化を図ることができる。

第2に、画像読み書き一体ヘッドを製造するときには、読み取り回路、複数の

印字用素子、書き込み駆動回路およびこれらに関連する配線パターンを、基板の同一表面に設ければよいために、基板の表裏を反転させながらそれらを設ける必要はない。したがって、画像読み書き一体ヘッドの生産性、およびこの画像読み書き一体ヘッドを備えた画像処理装置の生産性を従来技術よりも高めることができる。

第3に、コネクタの数を1つにし、従来技術よりもコネクタの数を少なくすることができる。このため、画像読み書き一体ヘッドおよび画像処理装置の生産性を一層高めることができる。また、コネクタの数を少なくできれば、画像読み書き一体ヘッドを外部機器と配線接続する作業がそれだけ容易となる。

本発明の好ましい実施の形態においては、上記基板は、一定方向に延びる第1側縁部と第2側縁部とを有しているとともに、上記第1側縁部は、上記ケースの側方にはみ出しており、かつこのはみ出し部分に、上記複数の印字用素子が搭載されている。

このような構成によれば、複数の受光素子をケースによって適切に囲みつつ、このケースの側方に記録紙搬送用のプラテンローラをスペース効率良く配置することができる。

本発明の他の好ましい実施の形態においては、上記コネクタは、上記基板の上記第2側縁部に取り付けられている。

このような構成においては、基板の第1側縁部またはその近傍に設けられている複数の印字用素子に記録紙を対向させて搬送させるときに、コネクタが上記記録紙の搬送の邪魔にならないようにすることができる。

本発明の他の好ましい実施の形態においては、上記コネクタは、上記第2側縁部における長手方向中央部に取り付けられているとともに、上記基板の上記表面には、上記複数の印字用素子を挟むようにして上記基板の長手方向に延びる直線部をそれぞれ有し、かつ上記複数の印字用素子に駆動電力を供給可能に構成されたコモン電極配線およびコモングランド配線が設けられており、上記コモン電極配線および上記コモングランド配線の一方の直線部は、その長手方向両端部が上記コネクタに繋がっているとともに、上記コモン電極配線および上記コモングランド配線の他方の直線部は、その長手方向中央部が上記コネクタに繋がっている。

このような構成によれば、外部からコネクタに供給した駆動電力を、コモン電極配線およびコモングランド配線を介して複数の印字用素子に供給させる場合に、各印字用素子に流れる電流の大きさを均一にすることが可能となる。すなわち、基板の長手方向端部近傍に位置する印字用素子と、基板の長手方向中央部に位置する印字用素子とを比較すると、たとえば前者は後者よりもコモン電極配線を経由してのコネクタからの距離は近い。しかし、この場合、前者は後者よりもコモングランド配線を経由してのコネクタからの距離は遠くなる。したがって、コモン電極配線およびコモングランド配線のそれぞれの電気抵抗に起因して電圧降下を生じても、複数の印字用素子の各所に流れる電流の大きさを同一または略同一に揃えることができるのである。その結果、プリント画像のムラを少なくすることが可能となる。

本発明の他の好ましい実施の形態においては、上記基板の上記表面には、上記読み取り回路のグランド配線と、上記書き込み駆動回路のグランド配線とが別々に設けられている。

このような構成によれば、読み取り回路において処理される各種の信号がそのグランド配線を経由して書き込み駆動回路にノイズとして入力しないようにすることができる。また同様に、書き込み駆動回路において処理される各種の信号がそのグランド配線を経由して読み取り回路にノイズとして入力しないようにすることができる。したがって、読み取り画像の質やプリント画像の質を高めることができる。

本発明の他の好ましい実施の形態においては、上記読み取り回路は、その構成単位としての集積回路が造り込まれている複数のセンサＩＣチップにより構成されているとともに、上記書き込み駆動回路は、その構成単位としての集積回路が造り込まれている複数の駆動ＩＣチップにより構成されている。

このような構成によれば、複数のセンサＩＣチップおよび複数の駆動ＩＣチップを利用することにより、読み取り回路および書き込み駆動回路を容易に作製することができる。

本発明の他の好ましい実施の形態においては、上記読み取り回路および上記書き込み駆動回路は、それらの構成単位としての集積回路をワンチップ化して造り

込んだ複数のＩＣチップにより構成されている。

このような構成によれば、読み取り回路と書き込み駆動回路とを構成するために使用されるＩＣチップの総数を少なくすることができるために、画像読み書き一体ヘッドの生産性を一層高めることができる。

本発明の他の好ましい実施の形態においては、上記各ＩＣチップは、一定方向に延びる第１側縁部と第２側縁部とを有する長矩形状を有しており、かつ上記第１側縁部の表面には、上記複数の受光素子が列状に並べられて設けられているとともに、上記第２側縁部の表面には、上記印字用素子との接続がなされる複数の電極用パッドが並べられている。

このような構成によれば、複数のＩＣチップを列状に並べるときに、複数の受光素子と複数の電極用パッドとが互いに交錯しないように整然と並べることができる。したがって、原稿のライン状の領域から反射してきた光を複数の受光素子によって適切に受光させることができるとともに、複数の電極用パッドを複数の印字用素子に接続することも適切に行なうことができる。

本発明の他の好ましい実施の形態においては、上記複数の電極用パッドは、上記複数の受光素子の列よりも短い列に配列されており、かつ上記第２側縁部の長手方向両端部には、信号の入出力がなされる複数の信号用パッドが上記複数の電極用パッドを挟むようにして設けられている。

このような構成によれば、複数の受光素子の配列を乱すようなことなく、複数の信号用パッドをＩＣチップにスペース効率良く設けることができる。

本発明の他の好ましい実施の形態においては、上記第２側縁部には、複数のグランド接続用パッドがさらに設けられている。

このような構成によれば、複数のＩＣチップのそれぞれに設けられているグランド接続用パッドをグランド接続し、１個のＩＣチップの内部の複数個所においてグランド接続を行なうことにより、複数の印字用素子の各所のグランドレベルを安定させることが可能となる。

本発明の他の好ましい実施の形態においては、上記各印字用素子は、発熱素子である。

このような構成によれば、発熱素子を発熱させることにより、感熱記録方式ま



たは熱転写記録方式のプリント処理を行なうことができる。

本発明の他の好ましい実施の形態においては、上記光源は、上記基板の上記表面上に配置されている。

このような構成によれば、画像読み書き一体ヘッドに光源を組み込む作業も容易化され、画像読み書き一体ヘッドの生産性を一層高めることができる。

本発明の他の好ましい実施の形態においては、上記光源は、上記コネクタに導通している。

このような構成によれば、光源への電力供給についても、上記コネクタを用いて行なうことが可能となり、光源専用のコネクタを用いる必要がなくなるため、画像読み書き一体ヘッドの生産性をさらに高めることができる。

本発明の第2の側面によって提供される画像処理装置は、画像読み書き一体ヘッドを具備しており、かつ、

この画像読み書き一体ヘッドは、

列状に配された複数の受光素子を備えた読み取り回路が設けられた基板と、

上記複数の受光素子を囲むようにして上記基板に組み付けられたケースと、

上記基板に対して間隔を隔てて対向するように上記ケースに装着され、原稿が接触搬送される透明カバーと、

上記ケース内に配置され、上記原稿を照明するための光源と、

上記ケース内に配置され、上記光源によって照明された原稿の画像を上記複数の受光素子上に結像させるための複数のレンズと、

上記複数の受光素子と同方向の列状に配され、上記基板に搭載された複数の印字用素子と、

上記基板に設けられ、かつ上記複数の印字用素子の駆動制御を行なうための書き込み駆動回路と、

を有している、画像処理装置であって、

上記読み取り回路、上記複数の印字用素子および上記書き込み駆動回路は、上記基板の同一表面上に設けられており、かつ、

上記基板には、上記読み取り回路、上記複数の印字用素子および上記書き込み駆動回路のそれぞれと電氣的に導通する電気配線用の1つのコネクタが取り付け

られていることを特徴としている。

このような構成を有する画像処理装置においては、本発明の第 1 の側面によって提供される画像読み書き一体ヘッドにおいて得られるのと同様な効果が得られる。

本発明のその他の特徴および利点は、図面を参照して以下に行う詳細な説明から、より明らかとなろう。

### 図面の簡単な説明

図 1 は、本発明の第 1 の実施形態に係る画像読み書き一体ヘッドの断面図である。

図 2 は、図 1 に表す画像読み書き一体ヘッドの分解斜視図である。

図 3 は、図 1 に表す画像読み書き一体ヘッドに具備された基板の長手方向一端部の拡大平面図である。

図 4 は、図 1 に表す画像読み書き一体ヘッドに具備された基板の長手方向他端部の拡大平面図である。

図 5 は、図 1 に表す画像読み書き一体ヘッドに具備された基板の長手方向中央部の拡大平面図である。

図 6 は、発熱素子の要部拡大平面図である。

図 7 は、図 5 の VII - VII 断面図である。

図 8 は、基板に形成された一部の配線パターンの概略構成を表す平面図である。

図 9 は、図 1 に表す画像読み書き一体ヘッドに具備されたセンサ IC チップ内部の回路ブロック図である。

図 10 は、図 1 に表す画像読み書き一体ヘッドに具備された駆動 IC チップ内部の回路ブロック図である。

図 11 は、本発明に係る画像処理装置の一例を表す断面図である。

図 12 は、本発明の第 2 の実施形態に係る画像読み書き一体ヘッドの要部平面図である。

図 13 は、IC チップの他の例を示す拡大平面図である。

図 14 は、図 13 に表す IC チップ内部の回路ブロック図である。

図15は、本発明の第3の実施形態に係るICチップの拡大平面図である。

図16は、従来の画像読み書き一体ヘッドの一例を表す断面図である。

図17は、図16に示す画像読み書き一体ヘッドの基板とコネクタとを表す斜視図である。

#### 発明を実施するための最良の形態

以下、本発明の実施の形態について、図面を参照しつつ説明する。

図1～図10は、本発明に係る画像読み書き一体ヘッドの第1の実施形態を示している。これらの図において、上記従来技術と同一または類似の要素には、上記従来技術と同一の符号を付してある。

図2によく表れているように、本実施形態の画像読み書き一体ヘッドXは、ケース1、透明カバー19、レンズアレイ5、基板4、読み取り回路を構成する複数のセンサICチップ2、複数の光源3、複数の発熱素子60、書き込み駆動回路を構成する複数の駆動ICチップ6およびコネクタ8を具備して構成されている。

基板4は、たとえばセラミック製であり、長矩形状である。この基板4の表面(上面)40には、複数のセンサICチップ2、複数の光源3、複数の発熱素子60および複数の駆動ICチップ6のそれぞれが搭載されている。

ケース1は、たとえば合成樹脂製であり、一定方向に延びた形態を有している。このケース1には、上部ならびに下部が開口した空間部12、この空間部12に繋がった溝16、この溝16に繋がった凹部11、およびこの凹部11の隣に位置する凹部11aのそれぞれがこのケース1の長手方向に延びて形成されている。図1によく表れているように、このケース1は、複数の光源3、複数のセンサICチップ2、および複数の駆動ICチップ6を囲むようにして、基板4の表面40上に組み付けられている。

基板4の長手方向に延びる第1側縁部42およびその近傍は、ケース1の側方にはみ出しており、このはみ出し部分の表面に複数の発熱素子60が設けられている。ケース1は、上記はみ出し部分を規定するようにして基板4から立ち上がった側面1aを有しており、この側面1aは基板4から立ち上がるに連れて上記

はみ出し部分から遠ざかるように傾斜している。このような構成によれば、図1によく表れているように、プラテンローラ $P_2$ を上記はみ出し部分に対向させて配置させた場合に、プラテンローラ $P_2$ と側面1aとの干渉を回避しつつ、プラテンローラ $P_2$ とケース1とを互いに接近させることが可能である。ただし、本発明はこれに限定されず、側面1aを非傾斜状にしてもかまわない。

透明カバー19は、原稿をガイドするためのものであり、合成樹脂製またはガラス製の板体からなる。この透明カバー19は、ケース1の上面の凹部10に嵌入されることにより、基板4の表面40（上面）に間隔を隔てて対向するようにケース1に装着されている。本実施形態においては、透明カバー19が傾斜している。このような構成によれば、透明カバー19に対向するプラテンローラ $P_1$ を基板4に接近させつつ、2つのプラテンローラ $P_1$ 、 $P_2$ の間の距離を確保するのに有利となる。ただし、本発明はこれに限定されず、透明カバー19を基板4と平行に設けてもかまわない。

レンズアレイ5は、一定方向に延びるブロック状のレンズホルダ50に複数のセルフオックレンズ51を列状に並べて保持させたものである。このレンズアレイ5は、ケース1の溝16に嵌入されていることにより、透明カバー19に対向している。透明カバー19の表面のうち、レンズアレイ5と対向する領域が読み取りラインLである。各セルフオックレンズ51は、原稿Dの正立等倍像を各受光素子20上に結像させることが可能である。ただし、本発明はこれに限定されず、たとえば凸レンズを用いることもできる。

複数の光源3は、たとえばLEDチップを用いて構成されており、基板4の長手方向に適当な間隔で列状に配列されている。これら複数の光源3は、ケース1の空間部12の底部に位置している。このため、複数の光源3から発せられた光は、空間部12内を読み取りラインLに向けて進行するようになっている。

複数のセンサICチップ2は、複数の受光素子20を備えた集積回路が造り込まれた半導体チップであり、基板4の長手方向に繋がって並んだ列状とされている。複数のセンサICチップ2は、ケース1の凹部11内に配されており、レンズアレイ5を通過してきた光を各受光素子20が受光できるようになっている。図3および図4に符号 $L_1$ で示した長さが、1個のセンサICチップ2に相当す

る長さである。1個のセンサICチップ2にたとえば96個の受光素子20が造り込まれている場合において、A4幅の原稿を8ドット/mmの読み取り密度で読み取るためには、計18個のセンサICチップ2を基板4上に並べ、それらの内部の回路を直列に接続することにより、1728個の受光素子20を有する読み取り回路が構成される。

各センサICチップ2の内部の具体的な回路構成は、図9に示すような構成となっている。すなわち、各センサICチップ2は、たとえば96個のホトトランジスタ $PT_{r1} \sim PT_{r96}$ 、96個の電界効果トランジスタ $FET_1 \sim FET_{96}$ 、受光用のシフトレジスタ $SR_1$ 、チップセレクト回路 $CS_1$ 、演算増幅器 $OP_1$ 、電界効果トランジスタ $FET_a$ 、 $FET_b$ 、キャパシタ $C_1$ 、抵抗器 $R_1 \sim R_3$ 、およびパッド $SI$ 、 $CLKI$ 、 $VDD$ 、 $AO$ 、 $SO$ を具備している。ホトトランジスタ $PT_{r1} \sim PT_{r96}$ は、原稿Dからの反射光が入射されることにより原稿Dの画像に応じたアナログの読み取り画像信号を出力する受光素子20を構成している。電界効果トランジスタ $FET_1 \sim FET_{96}$ 、シフトレジスタ $SR_1$ 、チップセレクト回路 $CS_1$ 、演算増幅器 $OP_1$ 、電界効果トランジスタ $FET_a$ 、 $FET_b$ 、キャパシタ $C_1$ 、および抵抗器 $R_1 \sim R_3$ は、ホトトランジスタ $PT_{r1} \sim PT_{r96}$ からの出力を順次取り出す制御回路を構成している。

ホトトランジスタ $PT_{r1} \sim PT_{r96}$ は、コレクタがパッド $VDD$ に接続され、エミッタが電界効果トランジスタ $FET_1 \sim FET_{96}$ のドレインに接続されている。電界効果トランジスタ $FET_1 \sim FET_{96}$ は、ゲートがシフトレジスタ $SR_1$ の出力端に接続されており、ソースが全て共通に電界効果トランジスタ $FET_a$ のドレインおよび演算増幅器 $OP_1$ の非反転入力端に接続されている。電界効果トランジスタ $FET_a$ は、ゲートがパッド $CLKI$ に接続されており、ソースが接地されている。演算増幅器 $OP_1$ は、出力端が電界効果トランジスタ $FET_b$ のドレインおよび抵抗器 $R_3$ の一端に接続されており、反転入力端が抵抗器 $R_3$ の他端および抵抗器 $R_2$ の一端に接続されている。演算増幅器 $OP_1$ の非反転入力端と電界効果トランジスタ $FET_a$ のドレインと電界効果トランジスタ $FET_1 \sim FET_{96}$ のソースとの接続点には、抵抗器 $R_1$ の一端およびキャパシタ $C_1$ の一端が接続されている。抵抗器 $R_1$ 、 $R_2$ の他端およびキャパシタ $C_1$ の他

端は接地されている。電界効果トランジスタFET<sub>0</sub>は、ゲートがチップセレクト回路CS<sub>1</sub>の出力端に接続されており、ソースがパッドAOに接続されている。

シフトレジスタSR<sub>1</sub>は、パッドSIを介してシリアルイン信号が入力されることにより、パッドCLKIを介して入力されるクロック信号に同期して、電界効果トランジスタFET<sub>1</sub>～FET<sub>9</sub>のゲートに駆動パルスを順次出力する。すなわち、シリアルイン信号は、まずシフトレジスタSR<sub>1</sub>の第1ビットに入力され、これによりシフトレジスタSR<sub>1</sub>の第1ビットがオンして電界効果トランジスタFET<sub>1</sub>のゲートに駆動電圧が印加され、電界効果トランジスタFET<sub>1</sub>がオンして受光素子としてのホトトランジスタPT<sub>r1</sub>に蓄積された電荷が演算増幅器OP<sub>1</sub>の非反転入力端に供給される。そして、クロック信号が入力される毎にシリアルイン信号がシフトレジスタSR<sub>1</sub>内を次段に順次転送される結果、ホトトランジスタPT<sub>r1</sub>～PT<sub>r9</sub>に蓄積された電荷すなわち読み取り画像信号が演算増幅器OP<sub>1</sub>の非反転入力端に順次供給される。そして、演算増幅器OP<sub>1</sub>により増幅された読み取り画像信号は、アナログスイッチとして動作する電界効果トランジスタFET<sub>0</sub>を介してパッドAOに出力され、コネクタ8を介して画像読み書き一体ヘッドXの外部に送出される。

シフトレジスタSR<sub>1</sub>の最終ビットまで転送されたシリアルイン信号は、次のクロック信号が入力されることにより、シリアルアウト信号としてパッドSOおよびチップセレクト回路CS<sub>1</sub>に出力される。パッドSOに出力されたシリアルアウト信号は、基板4上の配線パターンを介して次段の他のセンサICチップ2のパッドSIにシリアルイン信号として供給される。

チップセレクト回路CS<sub>1</sub>は、パッドSIにシリアルイン信号が入力された時から、パッドSOにシリアルアウト信号が出力される時までの期間、パッドCLKIに入力されるクロック信号に同期して、電界効果トランジスタFET<sub>0</sub>をオン・オフさせる。すなわち、シリアルアウト信号が入力されたチップセレクト回路CS<sub>1</sub>は、電界効果トランジスタFET<sub>0</sub>のゲートに供給していた駆動信号を遮断し、電界効果トランジスタFET<sub>0</sub>をオフさせる。これにより、パッドAOに演算増幅器OP<sub>1</sub>の出力が供給されなくなり、演算増幅器OP<sub>1</sub>により増幅されたノイズなどがパッドAOに出力されるのを良好に防止できる。

アナログスイッチとして動作する電界効果トランジスタFET<sub>1</sub>は、パッドCLK<sub>1</sub>に入力されるクロック信号に同期してオン・オフすることにより、電界効果トランジスタFET<sub>1</sub>～FET<sub>9</sub>を介して出力されるホトトランジスタPT<sub>r1</sub>～PT<sub>r9</sub>からの電荷を、演算増幅器OP<sub>1</sub>に供給する状態と接地させる状態とに切り替える。キャパシタC<sub>1</sub>および抵抗器R<sub>1</sub>は、ホトトランジスタPT<sub>r1</sub>～PT<sub>r9</sub>からの出力波形を整形するものであり、抵抗器R<sub>2</sub>、R<sub>3</sub>は、演算増幅器OP<sub>1</sub>の電圧増幅度を決定するものである。このような回路を有する各センサICチップ2により、複数の受光素子20を利用した1ライン分の原稿画像の読み取りが可能な読み取り回路が構成されている。

複数の発熱素子60は、複数のセンサICチップ2と同様に、基板4の長手方向に延びた列状に設けられている。これら複数の発熱素子60は、発熱抵抗体60aを具備して構成されている。より具体的には、図6によく表れているように、各発熱素子60は、基板4の長手方向に延びて形成された発熱抵抗体60aの下部に、櫛歯状の複数の電極45aと複数の個別電極46とを潜り込ませて設けることにより構成されている。発熱抵抗体60aは、たとえば導電ペーストを基板4の表面に印刷した後に、これを焼成することによって形成されたものである。各電極45aは、後述するコモン電極配線COMの直線部45に繋がっていることにより電圧が印加されている。各個別電極46は、駆動ICチップ6の後述する電極用パッドDOに繋がっており、グランド接続のオン・オフ切り替えがなされる。図6に示す構成において、個別電極46（46a）のグランド接続がオンされると、発熱抵抗体60aのうち、その個別電極46を挟む2つの電極45aに挟まれた部分に電流が流れ、これが1ドット分の発熱素子となる。

図1および図2において、複数の駆動ICチップ6は、複数の発熱素子60の発熱駆動を制御するためのものであり、基板4の長手方向に適当な間隔で並べられていることにより、ケース1の凹部11a内に配置されている。各駆動ICチップ6は、図3および図4に符号L<sub>1</sub>で示した長さ範囲に設けられた所定数の発熱素子60の駆動を担当している。1個の駆動ICチップ6がたとえば144ドットの発熱素子60に対応可能である場合において、A4幅の記録紙Kに8ドット/mmの記録密度でプリントを行なうには、計12個の駆動ICチップ6を基

板 4 上に並べ、それらの内部の回路を直列に接続することにより、1728 ドットの発熱素子 60 に対応する書き込み駆動回路が構成される。

各駆動 IC チップ 6 の内部の回路の構成は、図 10 に示すような構成となっている。すなわち、各駆動 IC チップ 6 には、チップセレクト回路  $CS_2$ 、ラッチ回路  $LT$ 、シフトレジスタ  $SR_2$ 、144 個の論理積回路  $AND_1 \sim AND_{144}$ 、144 個のバイポーラトランジスタ  $TR_1 \sim TR_{144}$ 、およびパッド  $DI$ 、 $CLKI$ 、 $LATI$ 、 $STRI$ 、 $STRCLK$ 、 $GND$ 、 $STRO$ 、 $LATO$ 、 $CLKO$ 、 $DO$ 、 $DO_1 \sim DO_{144}$  が形成されている。バイポーラトランジスタ  $TR_1 \sim TR_{144}$  は、発熱素子 60 の通電用のスイッチとしての役割を果たす。

論理積回路  $AND_1 \sim AND_{144}$  は、出力端がバイポーラトランジスタ  $TR_1 \sim TR_{144}$  のベースに接続され、一方の入力端がラッチ回路  $LT$  の出力端に接続され、他方の入力端がチップセレクト回路  $CS_2$  の一方の出力端に接続されている。バイポーラトランジスタ  $TR_1 \sim TR_{144}$  は、エミッタが全て共通にパッド  $GND$  に接続され、コレクタが電極用パッド  $DO_1 \sim DO_{144}$  に接続されている。

シフトレジスタ  $SR_2$  は、パッド  $DI$  を介して第 1 ビットにシリアルに入力される記録画像データを、パッド  $CLKI$  を介して入力されるクロック信号に同期して順次次のビットに転送することにより、144 ビット分の記録画像データを一時的に記憶するものであって、シフトレジスタ  $SR_2$  の最終ビットまで転送された記録画像データは、次のクロック信号が入力されることにより、パッド  $DO$  に出力され、隣の駆動 IC チップ 6 のパッド  $DI$  に供給される。また、パッド  $CLKI$  を介してシフトレジスタ  $SR_2$  に入力されたクロック信号は、シフトレジスタ  $SR_2$  からパッド  $CLKO$  に出力され、隣の駆動 IC チップ 6 のパッド  $CLKI$  に供給される。このシフトレジスタ  $SR_2$  に供給されるクロック信号は、センサ IC チップ 2 のシフトレジスタ  $SR_1$  に供給されるクロック信号と同じものである。すなわち、本実施形態においては、各センサ IC チップ 2 におけるタイミング制御のためのクロック信号と各駆動 IC チップ 6 におけるタイミング制御のためのクロック信号とを 1 つのクロック信号で兼用している。

ラッチ回路  $LT$  は、パッド  $LATI$  を介してラッチ信号が入力されることにより、その時点でシフトレジスタ  $SR_2$  の各ビットに記憶されている記録画像デー



タを取り込んで記憶する。ラッチ回路LTに入力されたラッチ信号は、ラッチ回路LTからパッドLATOに出力され、第2の基板7の配線パターンを介して次段の駆動ICチップ6のパッドLATIに供給される。

チップセレクト回路CS<sub>2</sub>は、パッドSTRIを介して一方の入力端に入力されるストロブ信号とパッドSTRCLKを介して他方の入力端に入力されるストロブクロック信号とに基づいて新たなストロブ信号を生成し、その新たなストロブ信号を一方および他方の出力端から出力する。チップセレクト回路CS<sub>2</sub>の一方の出力端から出力された新たなストロブ信号は、論理積回路AND<sub>1</sub>～AND<sub>14</sub>の他方の入力端に供給され、他方の出力端から出力された新たなストロブ信号は、パッドSTROに供給される。パッドSTROに供給されたストロブ信号は、基板4の配線パターンを介して次段の駆動ICチップ6のパッドSTRIに供給される。チップセレクト回路CS<sub>2</sub>は、Dフリップフロップ回路を備えており、パッドSTRCLKを介して他方の入力端に入力されるストロブクロック信号の立ち上がりのタイミングで、パッドSTRIを介して一方の入力端に入力されるストロブ信号がハイレベルであればハイレベルの信号を出力し、ローレベルであればローレベルの信号を出力する。そして、12個の駆動ICチップ6のうちの初段の駆動ICチップ6のチップセレクト回路CS<sub>2</sub>に、ストロブ信号としてたとえばラッチ信号が入力されると、その後の最初のストロブクロック信号の立ち上がりのタイミングでチップセレクト回路CS<sub>2</sub>の出力がハイレベルになる。そして、その次のストロブクロック信号の立ち上がりのタイミングでは、ラッチ信号は既にローレベルに反転しているので、チップセレクト回路CS<sub>2</sub>の出力はハイレベルからローレベルに反転する。したがって、チップセレクト回路CS<sub>2</sub>は、ストロブクロック信号の1周期に相当する期間だけハイレベルになるストロブ信号を出力することになる。そして、このストロブ信号が次段の駆動ICチップ6のチップセレクト回路CS<sub>2</sub>にストロブ信号として入力されるので、次段の駆動ICチップ6のチップセレクト回路CS<sub>2</sub>は、前段の駆動ICチップ6のチップセレクト回路CS<sub>2</sub>により生成されたストロブ信号の立ち上がりと同時に立ち上がってストロブクロック信号の1周期に相当する期間だけハイレベルになるストロブ信号を出力する。このように、

12個の駆動ICチップ6のチップセレクト回路CS<sub>2</sub>は、タイミングが相互に重ならないように順次新たなストローブ信号を生成するのである。

チップセレクト回路CS<sub>2</sub>の一方の出力端から新たなストローブ信号が出力されると、論理積回路AND<sub>1</sub>～AND<sub>144</sub>の他方の入力端がハイレベルになり、論理積回路AND<sub>1</sub>～AND<sub>144</sub>の出力端の信号と一方の入力端に供給されているラッチ回路LTの出力とが一致する。すなわち、ラッチ回路LTに記憶されている記録画像データの各ビットの内容に応じて論理積回路AND<sub>1</sub>～AND<sub>144</sub>の出力端のレベルが決定され、それに応じてバイポーラトランジスタTR<sub>1</sub>～TR<sub>144</sub>のオン・オフ状態が決定される。電極用パッドDO<sub>1</sub>～DO<sub>144</sub>は、個別電極46に接続されているので、バイポーラトランジスタTR<sub>1</sub>～TR<sub>144</sub>のうちのいずれかがオンすれば、それに対応する発熱素子60に通電がなされ、発熱する。

図2によく表れているように、コネクタ8は、基板4の第2側縁部43の長手方向中央部に取り付けられている。基板4の表面40には、このコネクタ8と導通する配線パターンが設けられている。図3～図5によく表れているように、複数の発熱素子60に関連する配線としては、上記した櫛歯状の複数の電極45aを有するコモン電極配線COMや複数の個別電極46がある。複数の駆動ICチップ6に関連する配線としては、たとえば印字画像データ用配線DI、ストローブ信号用配線AEO1、AEO2、電力供給用配線VDD1、コモングランド配線GND1、ラッチ信号用配線LAT、およびクロックパルス信号用配線Cpがある。2つのストローブ信号用配線AEO1、AEO2を形成しておけば、基板4の左半分領域に設けられている発熱素子60と、右半分領域に設けられている発熱素子60とを時間差で分割して駆動することが可能である。

コモン電極配線COMとコモングランド配線GND1とは、図8に示すような構成とされている。すなわち、コモン電極配線COMは、全体が略ループ状に形成されており、基板4の第1側縁部42において基板4の長手方向に延びる直線部45を有している。この直線部45の長手方向両端は、基板4の長手方向両端部を迂回して、コネクタ8に繋がっている。これに対し、コモングランド配線GND1は、全体がT字状に形成されており、複数の駆動ICチップ6の近傍にお

いて基板 4 の長手方向に延びる直線部 70 を有している。この直線部 70 の長手方向中央部は、基板 4 の幅方向に延びる配線部 71 を介してそのままコネクタ 8 に繋がっている。複数の発熱素子 60 や複数の駆動 IC チップ 6 は、2 つの直線部 45, 70 の間に配され、これら直線部 45, 70 間において並列に接続されている。

コモン電極配線 COM には、コネクタ 8 を介して電圧が印加されるとともに、コモンランド配線 GND 1 はコネクタ 8 を介してグランド接続される。このような構成によれば、コモン電極配線 COM の直線部 45 においては、基板 4 の長手方向中央部になるほどコネクタ 8 からの距離が遠くなり、電圧降下が大きくなる。これに対し、コモンランド配線 GND 1 の直線部 70 においては、基板 4 の長手方向中央部になるほどコネクタ 8 からの距離が近くなり、その電位は低くなる。したがって、基板 4 の長手方向両端部近傍の発熱素子 60 に流れる電流と、基板 4 の長手方向中央部の発熱素子 60 に流れる電流との大きさを略同一にすることが可能となり、各発熱素子 60 の発熱温度を各所均一に揃えることが可能となる。

図 3 ないし図 5 によく表れているように、複数のセンサ IC チップ 2 に関連する配線としては、たとえばアナログデータ出力用配線 AO、グランド配線 GND 2、シリアル信号用配線 SI、クロック信号用配線 CLK、および電力供給用配線 VDD 2 がある。駆動 IC チップ 6 のコモンランド配線 GND 1 を上記したような T 字状とするためには、その配線部 71 がセンサ IC チップ 2 用の配線と平面的に交差することとなる。ところが、図 7 によく表れているように、コモンランド配線 GND 1 の上に絶縁膜 7 を形成し、この絶縁膜 7 上にセンサ IC チップ 2 の配線 GND 2, AO, VDD 2 を形成すれば、それらの配線どうしの不当な導通を回避することが可能である。

アナログデータ出力用配線 AO、グランド配線 GND 2、クロック信号用配線 CLK、および電力供給用配線 VDD 2 のそれぞれは、各センサ IC チップ 2 にワイヤを介して接続されており、それぞれの配線に対して各センサ IC チップ 2 が電氣的に並列に接続されている。シリアル信号用配線 SI は、非連続状とされており、図 3 の左端領域に配置されたセンサ IC チップ 2 にワイヤを介して接続

されているとともに、隣り合うセンサ I C チップ 2 のそれぞれの境目の近傍に形成されたアイランド状の導体部位 S が隣り合うセンサ I C チップ 2 のそれぞれにワイヤを介して接続されている。これにより、センサ I C チップ 2 のそれぞれの内部にシリアル信号が順次転送されるようになっている。

上記したように、各駆動 I C チップ 6 用のコモンランド配線 GND 1 とは別に、各センサ I C チップ 2 専用のランド配線 GND 2 が形成されていれば、各センサ I C チップ 2 に入出力される各種の信号が各駆動 I C チップ 6 内の回路に悪影響を与えることを回避することができる。また逆に、各駆動 I C チップ 6 に入出力される各種の信号が、各センサ I C チップ 2 内の回路に影響を与えることもない。したがって、各センサ I C チップ 2 と各駆動 I C チップ 6 とが同一のランド配線を共用している場合とは異なり、読み取り画像やプリント画像にノイズが混入する虞れを少なくし、それらの質を高めることができる。

複数の光源 3 に関連する配線パターンとしては、ランド配線 GND 3、GND 4、および電力供給用配線 VDD 3、VDD 4 がある。各光源 3 は、ランド配線 GND 3 または GND 4 上に実装されており、電力供給用配線 VDD 3 または VDD 4 にワイヤを介して接続されている。

上述した複数の発熱素子 60 用の配線、駆動 I C チップ 6 用の配線、センサ I C チップ 2 用の配線、および光源 3 用の配線は、いずれも 1 つのコネクタ 8 と導通している。コネクタ 8 は、上記した複数の配線の入出力端子部の総数に対応した本数のコネクタピン 80 と、これらを囲むコネクタケース 81 とを有している。このコネクタ 8 は、図 5 および図 7 に示すように、各コネクタピン 80 によって基板 4 を挟持させることにより基板 4 に取り付けられている。

本実施形態の画像読み書き一体ヘッド X は、図 1 および図 2 に示したように、各受光素子 20、各発熱素子 60、各駆動 I C チップ 6、および各光源 3 が、基板 4 の表面 40 に搭載されたものである。また、それらに関連する配線パターンも表面 40 に形成されている。したがって、上記各部品の実装作業や配線パターンの形成作業に際しては、基板 4 を表裏反転させるような必要はなく、その生産性を高めることができる。

次に、画像読み書き一体ヘッド X を組み込んだ本発明に係る画像処理装置の一

例について、図 1 1 を参照して説明する。

同図に示された画像処理装置 9 は、筐体 9 0 内に画像読み書き一体ヘッド X が組み込まれた構成を有している。原稿 D 搬送するためのプラテンローラ P<sub>1</sub> は、透明カバー 1 9 に対向して設けられている。巻取ロール R から記録紙 K を繰り出して搬送するためのプラテンローラ P<sub>2</sub> は、複数の発熱素子 6 0 に対向して設けられている。この画像処理装置 9 においては、図 1 6 を参照して説明した従来技術の画像読み書き一体ヘッド Y とは異なり、プラテンローラ P<sub>1</sub>、P<sub>2</sub> がケース 1 をその厚み方向に挟んだ構造にはなっておらず、画像処理装置 9 の高さ方向においてケース 1 とプラテンローラ P<sub>2</sub> とがオーバーラップしている。したがって、この画像処理装置 9 の厚みを従来技術よりも小さくすることができる。

この画像処理装置 9 においては、画像の読み取り機能とプリント機能とを併有している。たとえば、原稿 D の画像の読み取り動作は、以下のようにして行われる。まず、読み取り対象となる原稿 D を筐体 9 0 の上面 9 1 に形成された投入口 9 1 a から投入し、プラテンローラ P<sub>1</sub> と透明カバー 1 9 との間にガイドする。すると、原稿 D は、プラテンローラ P<sub>1</sub> の回転により透明カバー 1 9 に密着して搬送される。このとき、光源 3 からの光によって原稿 D の読み取りライン L が照明され、原稿 D からの反射光がレンズアレイ 5 によって集光された後に、複数のセンサ IC チップ 2 の各受光素子 2 0 上に原稿 D の画像が結像される。複数のセンサ IC チップ 2 によって構成された読み取り回路からは、各受光素子 2 0 の受光量に対応した出力レベルの 1 ライン分の画像信号が出力され、この信号がコネクタ 8 を介して画像読み書き一体ヘッド X の外部に取り出される。原稿 D はプラテンローラ P<sub>1</sub> によって図中の矢印方向に 1 ライン分ずつ送られて、同様な読み取り動作が次々と行われることにより、原稿 D 全体の画像が読み取られる。読み取りが終了した原稿 D は、筐体 9 0 の前面 9 2 に形成された原稿排出口 9 2 a から排出される。

一方、記録紙 K に画像をプリントする場合には、記録紙 K をプラテンローラ P<sub>2</sub> と複数の発熱素子 6 0 との間に供給して搬送させる。このとき、コネクタ 8 を介して外部から各種の信号を受けた各駆動 IC チップ 6 が複数の発熱素子 6 0 を選択的に発熱駆動させることにより、記録紙 K には 1 ライン分の画像が形成され

る。記録紙Kに1ページ分のプリントが終了すると、記録紙Kはその後筐体90の背面93の排出口93aから排出される。

図12～図14は、本発明の第2の実施形態を示している。ただし、図12以降の図においては、先の第1の実施形態と同一または類似の要素には、第1の実施形態と同一の符号を付している。

図12に示す構成においては、基板4の表面に、複数のICチップ2Aが列状に並べられて搭載されている。各ICチップ2Aは、第1の実施形態で説明した各センサICチップ2に組み込まれている回路と、各駆動ICチップ6に組み込まれている回路とがワンチップ化されたものである。

各ICチップ2Aの内部の回路は、図14に示すような構成となっている。同図に示す回路構成と、図9および図10に示した回路構成とを比較すれば明らかなように、図14に示す回路は、図9の読み取り用の回路と、図10に示す書き込み駆動用の回路とを一体化した構成となっている。ただし、各ICチップ2A内部の回路においては、受光素子であるホトトランジスタ $PT_{r1} \sim PT_{r96}$ の数と、バイポーラトランジスタ $TR_1 \sim TR_{96}$ の数とを一致させており、1つのICチップ2Aが担当する読み取り画素数とプリントドット数とを一致させている。各ICチップ2Aには、96個のホトトランジスタ $PT_{r1} \sim PT_{r96}$ 、96個の電界効果トランジスタ $FET_1 \sim FET_{96}$ 、受光用のトランジスタ $SR_1$ 、チップセレクト回路 $CS_1, CS_2$ 、演算増幅器 $OP_1$ 、電界効果トランジスタ $FET_a, FET_b$ 、キャパシタ $C_1$ 、抵抗器 $R_1 \sim R_3$ 、発熱用のシフトレジスタ $R_2$ 、ラッチ回路LT、たとえば96個の論理積回路 $AND_1 \sim AND_{96}$ 、96個のバイポーラトランジスタ $TR_1 \sim TR_{96}$ およびパッドSI, TI, CLKI, LATI, STRI, STRC, VDD, DO<sub>1</sub>～DO<sub>96</sub>, GND, AO, STRO, LATO, CLKO, DO, SOが設けられている。ホトトランジスタ $PT_{r1} \sim PT_{r96}$ は、原稿Dからの反射光が入射されることにより、原稿Dの画像に応じた読み取り画像信号を出力する受光素子を構成している。バイポーラトランジスタ $TR_1 \sim TR_{96}$ は、受光素子9に通電するためのスイッチを構成している。電界効果トランジスタ $FET_1 \sim FET_{96}$ 、シフトレジスタ $SR_1$ 、チップセレクト回路 $CS_1$ 、演算増幅器 $OP_1$ 、電界効果トランジスタ $FET$ 。

、FET<sub>6</sub>、キャパシタC<sub>1</sub>、および抵抗器R<sub>1</sub>～R<sub>3</sub>は、ホトトランジスタPT<sub>r1</sub>～PT<sub>r<sub>6</sub></sub>からの出力を順次取り出す受光素子制御回路を構成している。シフトレジスタSR<sub>1</sub>、ラッチ回路LT、チップセレクト回路CS<sub>2</sub>、論理積回路AND<sub>1</sub>～AND<sub>6</sub>、およびバイポーラトランジスタTR<sub>1</sub>～TR<sub>6</sub>は、記録画像に応じて複数の発熱素子60に選択的に通電を行なわせる回路を構成している。

図13によく表れているように、各ICチップ2Aの表面のうち、その長手方向に沿う第1側縁部29aには、受光素子を構成するホトトランジスタPT<sub>r1</sub>～PT<sub>r<sub>6</sub></sub>が一行に形成されている。また、第2側縁部29bには、全てのパッドSI、TI、CLKI、LATI、STRI、STRC、VDD、DO<sub>1</sub>～DO<sub>6</sub>、GND、AO、STRO、LATO、CLKO、DO、SOが形成されている。電極用パッドDO<sub>1</sub>～DO<sub>6</sub>は、2列に配列され、その列の全長はホトトランジスタPT<sub>r1</sub>～PT<sub>r<sub>6</sub></sub>の列の全長よりも短くされている。これにより、第2側縁部29bの長手方向両端部には、パッドDO<sub>1</sub>～DO<sub>6</sub>の列が設けられていないスペースが形成されている。電極用パッドDO<sub>1</sub>～DO<sub>6</sub>を除く他のパッドは、上記スペースを利用して第2側縁部29bに設けられている。

上記構成によれば、各ICチップ2A上の各パッドを基板4上の配線パターンとワイヤを介して接続する場合に、それらのワイヤがホトトランジスタPT<sub>r1</sub>～PT<sub>r<sub>6</sub></sub>を覆い隠さないようにすることができる。したがって、上記ワイヤによってホトトランジスタPT<sub>r1</sub>～PT<sub>r<sub>6</sub></sub>への光の入射が遮られないようにすることができる。また、信号入出力用のパッドは、各ICチップ2Aの長手方向端部に設けられているために、互いに隣り合うICチップ2Aどうし間において信号の転送を行なわせるための配線作業も容易化されることとなる。

本発明において、上記した複数のICチップ2Aを用いれば、基板4に搭載されるICチップの総数を減らすことができる。したがって、基板4に対するICチップの組み付け工程数を減らし、画像読み書き一体ヘッドの生産性を一層高めることができる。

図15は、本発明の第3の実施形態を示している。同図に示すICチップ2Bは、図13に示したICチップ2Aと同様に、読み取り用の回路と書き込み駆動

用の回路とをワンチップ化したものである。ただし、複数の電極用パッドD O<sub>1</sub>～D O<sub>6</sub>については、1列に配列されているにもかかわらず、ホトトランジスタP T r<sub>1</sub>～P T r<sub>6</sub>の配列ピッチよりも小さいピッチで配列されていることにより、複数のホトトランジスタP T r<sub>1</sub>～P T r<sub>6</sub>の列よりも短い全長とされている。これにより、I Cチップ2 Bの第2側縁部2 9 bの長手方向両端部には、電極用パッドD O<sub>1</sub>～D O<sub>6</sub>の列が設けられていないスペースが形成され、この部分に電極用パッドD O<sub>1</sub>～D O<sub>6</sub>を除く他のパッドが設けられている。また、電極用パッドD O<sub>1</sub>～D O<sub>6</sub>の列中には、複数のグランド接続用パッドG N D 6が混在するようにして設けられている。

このような構成によっても、図1 3に示したI Cチップ2 Aと同様な効果が得られる。ただし、複数の電極用パッドD Oが1列にされている分だけ、これらの部分にワイヤをボンディングする作業が容易化される。また、複数のグランド接続用パッドG N D 6を利用することにより、1つのI Cチップ2 B内における複数個所において発熱素子用のグランド接続が行なえるために、複数の発熱素子6 0に対するグランド接続個所を多くし、グランドの電位を安定させ、プリント画像の質を高めることも可能となる。

本発明に係る画像処理装置の各部の具体的な構成は、上述の実施形態に限定されず、種々に設計変更自在である。たとえば、光源としては、L E Dに代えて、冷陰極管を用いることもできる。



## 請 求 の 範 囲

1. 列状に配された複数の受光素子を備えた読み取り回路が設けられた基板と、  
上記複数の受光素子を囲むようにして上記基板に組み付けられたケースと、  
上記基板に対して間隔を隔てて対向するように上記ケースに装着され、原稿が  
接触搬送される透明カバーと、

上記ケース内に配置され、上記原稿を照明するための光源と、

上記ケース内に配置され、上記光源によって照明された原稿の画像を上記複数の  
受光素子上に結像させるための複数のレンズと、

上記複数の受光素子と同方向の列状に配され、上記基板に搭載された複数の印  
字用素子と、

上記基板に設けられ、かつ上記複数の印字用素子の駆動を制御するための書き  
込み駆動回路と、

を有している、画像読み書き一体ヘッドであって、

上記読み取り回路、上記複数の印字用素子および上記書き込み駆動回路は、上  
記基板の同一表面に設けられており、かつ、

上記基板には、上記読み取り回路、上記複数の印字用素子および上記書き込み  
駆動回路のそれぞれと導通する電気配線用の1つのコネクタが取り付けられてい  
ることを特徴とする、画像読み書き一体ヘッド。

2. 上記基板は、一定方向に延びる第1側縁部と第2側縁部とを有しているとし  
ても、上記第1側縁部は、上記ケースの側方にはみ出しており、かつこのはみ出  
し部分に、上記複数の印字用素子が搭載されている、請求項1に記載の画像読み  
書き一体ヘッド。

3. 上記コネクタは、上記基板の上記第2側縁部に取り付けられている、請求項  
2に記載の画像読み書き一体ヘッド。

4. 上記コネクタは、上記第2側縁部における長手方向中央部に取り付けられて

いるとともに、

上記基板の上記表面には、上記複数の印字用素子を挟むようにして上記基板の長手方向に延びる直線部をそれぞれ有し、かつ上記複数の印字用素子に駆動電力を供給可能に構成されたコモン電極配線およびコモングランド配線が設けられており、

上記コモン電極配線および上記コモングランド配線の一方の直線部は、その長手方向両端部が上記コネクタに繋がっていると同時に、

上記コモン電極配線および上記コモングランド配線の他方の直線部は、その長手方向中央部が上記コネクタに繋がっている、請求項 3 に記載の画像読み書き一体ヘッド。

5. 上記基板の上記表面には、上記読み取り回路のグランド配線と、上記書き込み駆動回路のグランド配線とが別々に設けられている、請求項 1 に記載の画像読み書き一体ヘッド。

6. 上記読み取り回路は、その構成単位としての集積回路が造り込まれている複数のセンサ IC チップにより構成されているとともに、上記書き込み駆動回路は、その構成単位としての集積回路が造り込まれている複数の駆動 IC チップにより構成されている、請求項 1 に記載の画像読み書き一体ヘッド。

7. 上記読み取り回路および上記書き込み駆動回路は、それらの構成単位としての集積回路をワンチップ化して造り込んだ複数の IC チップにより構成されている、請求項 1 に記載の画像読み書き一体ヘッド。

8. 上記各 IC チップは、一定方向に延びる第 1 側縁部と第 2 側縁部とを有する長矩形状を有しており、かつ上記第 1 側縁部の表面には、上記複数の受光素子が列状に並べられて設けられているとともに、上記第 2 側縁部の表面には、上記印字用素子との接続がなされる複数の電極用パッドが並べられている、請求項 7 に記載の画像読み書き一体ヘッド。

9. 上記複数の電極用パッドは、上記複数の受光素子の列よりも短い列に配列されており、かつ上記第2側縁部の長手方向両端部には、信号の入出力がなされる複数の信号用パッドが上記複数の電極用パッドを挟むようにして設けられている、請求項8に記載の画像読み書き一体ヘッド。
10. 上記第2側縁部には、複数のグランド接続用パッドがさらに設けられている、請求項9に記載の画像読み書き一体ヘッド。
11. 上記各印字用素子は、発熱素子である、請求項1に記載の画像読み書き一体ヘッド。
12. 上記光源は、上記基板の上記表面上に配置されている、請求項1に記載の画像読み書き一体ヘッド。
13. 上記光源は、上記コネクタに導通している、請求項12に記載の画像読み書き一体ヘッド。
14. 画像読み書き一体ヘッドを具備しており、かつ、  
この画像読み書き一体ヘッドは、  
列状に配された複数の受光素子を備えた読み取り回路が設けられた基板と、  
上記複数の受光素子を囲むようにして上記基板に組み付けられたケースと、  
上記基板に対して間隔を隔てて対向するように上記ケースに装着され、原稿が接触搬送される透明カバーと、  
上記ケース内に配置され、上記原稿を照明するための光源と、  
上記ケース内に配置され、上記光源によって照明された原稿の画像を上記複数の受光素子上に結像させるための複数のレンズと、  
上記複数の受光素子と同方向の列状に配され、上記基板に搭載された複数の印字用素子と、

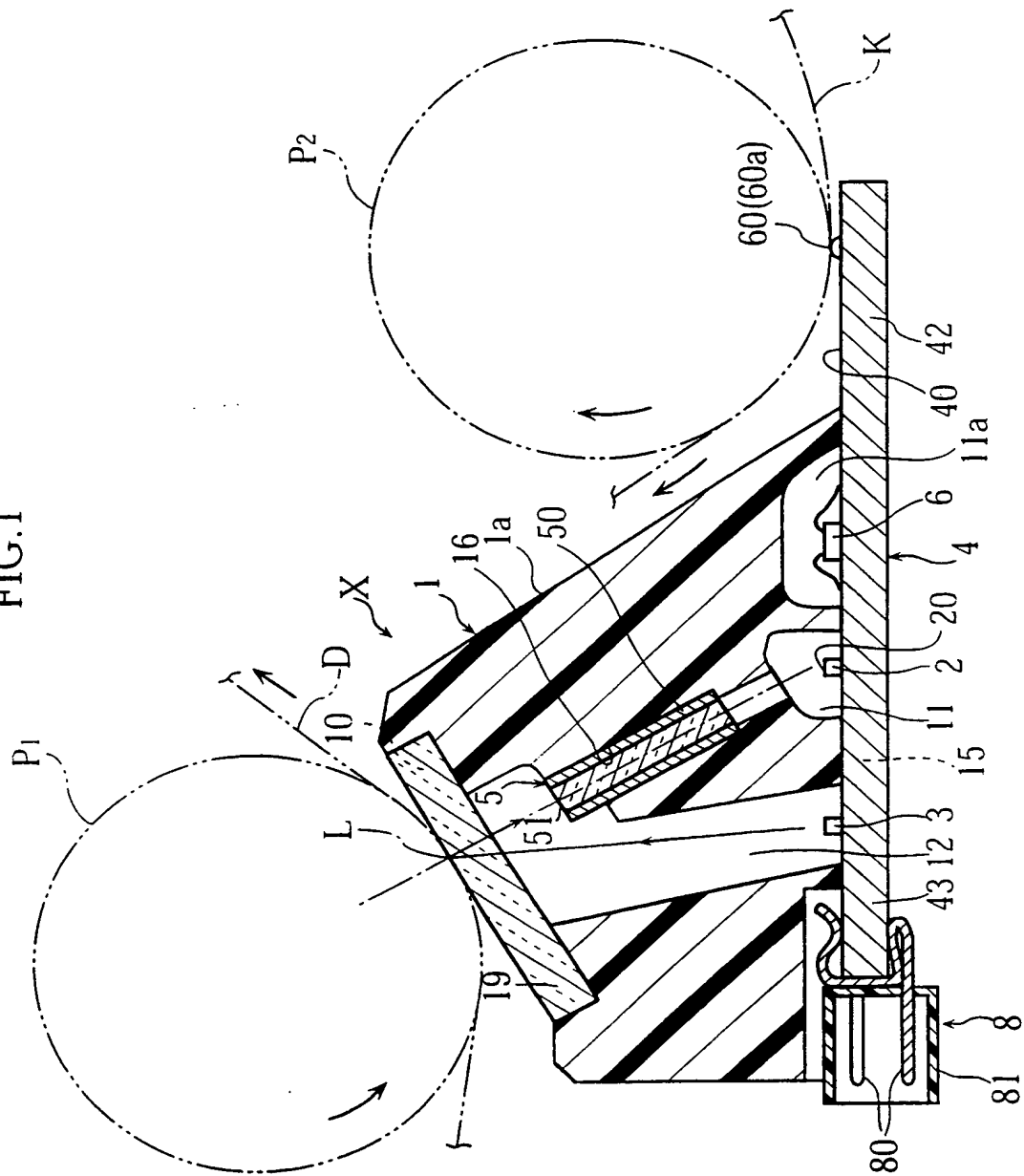
上記基板に設けられ、かつ上記複数の印字用素子の駆動制御を行なうための書き込み駆動回路と、

を有している、画像処理装置であって、

上記読み取り回路、上記複数の印字用素子および上記書き込み駆動回路は、上記基板の同一表面上に設けられており、かつ、

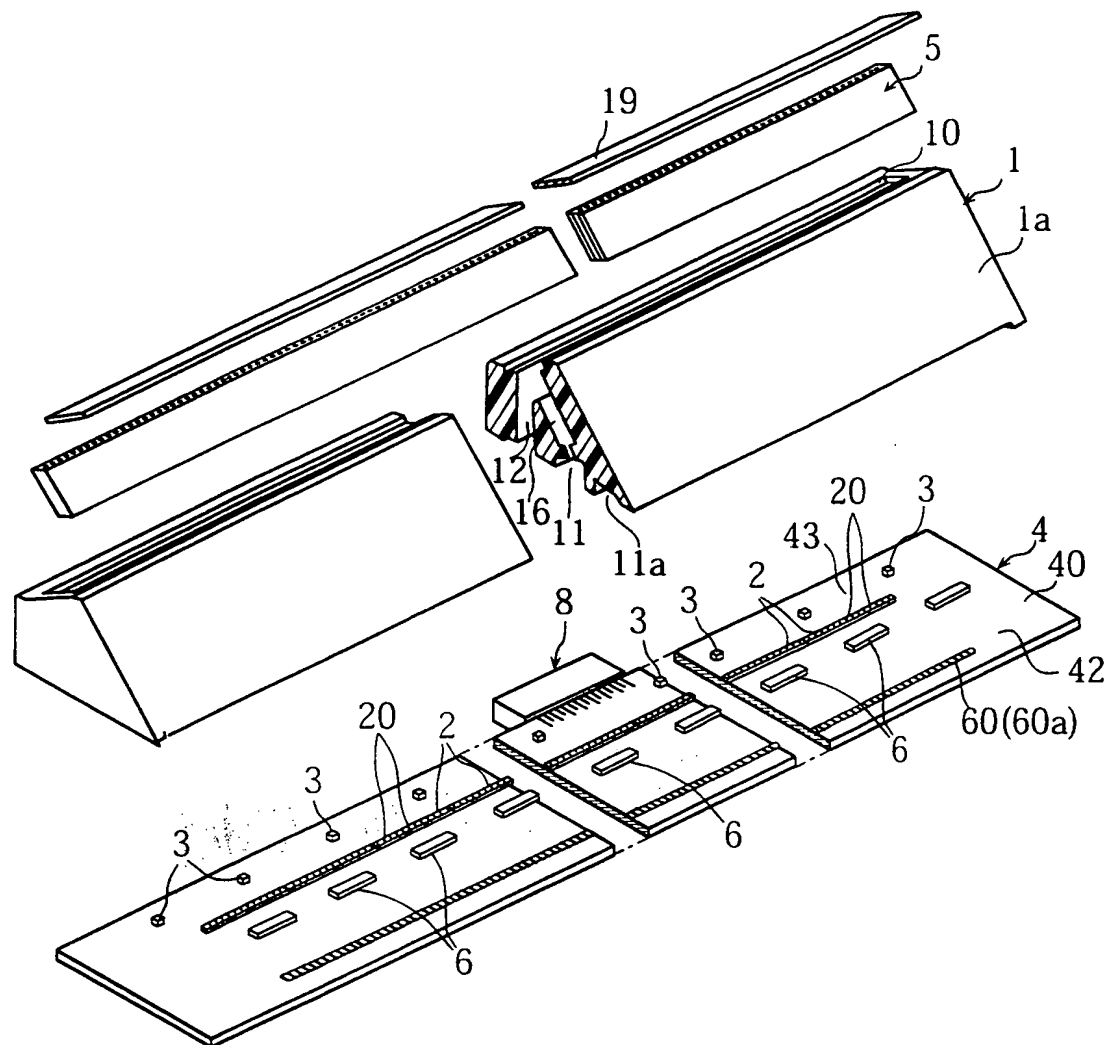
上記基板には、上記読み取り回路、上記複数の印字用素子および上記書き込み駆動回路のそれぞれと導通する電気配線用の1つのコネクタが取り付けられていることを特徴とする、画像処理装置。

FIG.1



*This Page Blank (uspto)*

FIG.2



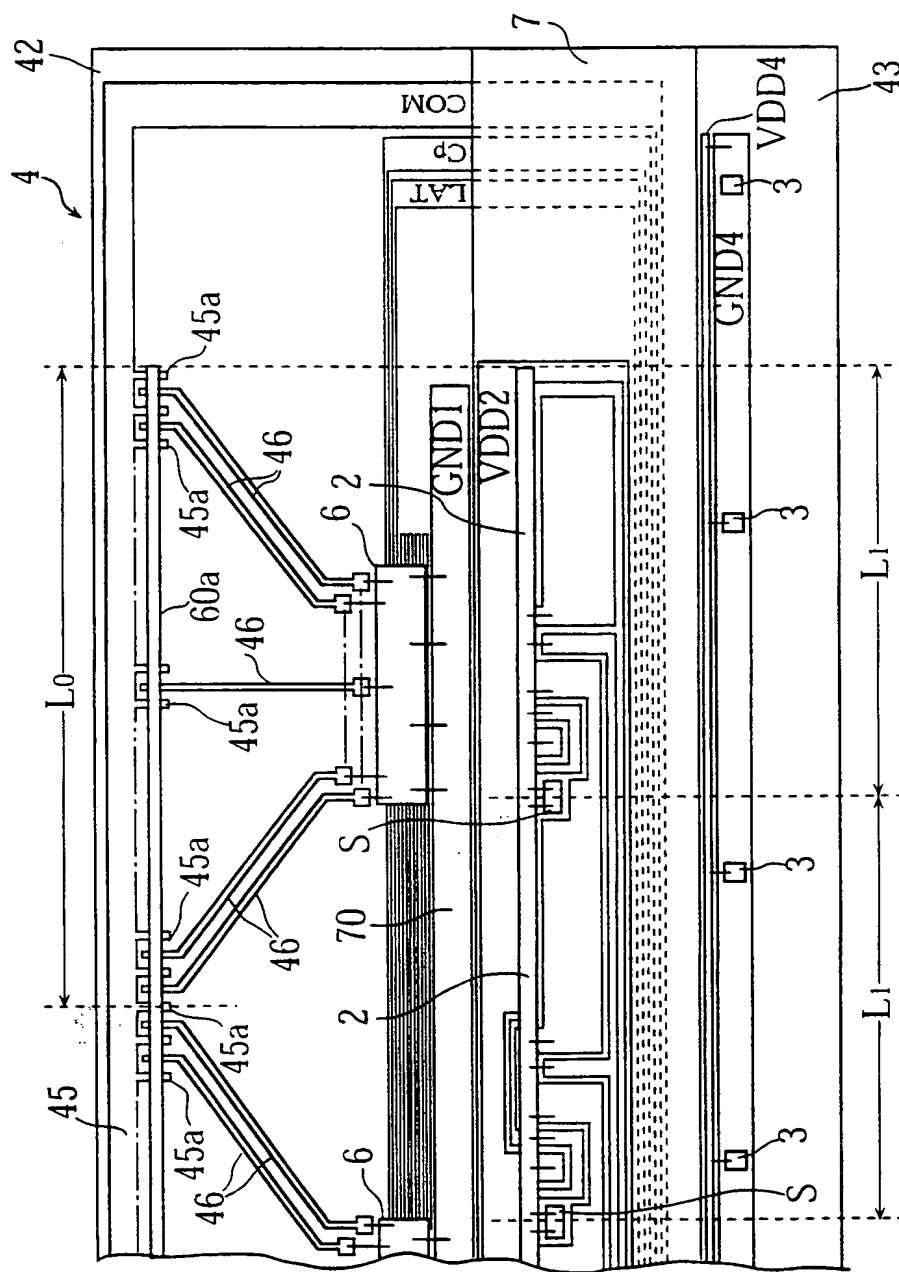
*This Page Blank (uspto)*





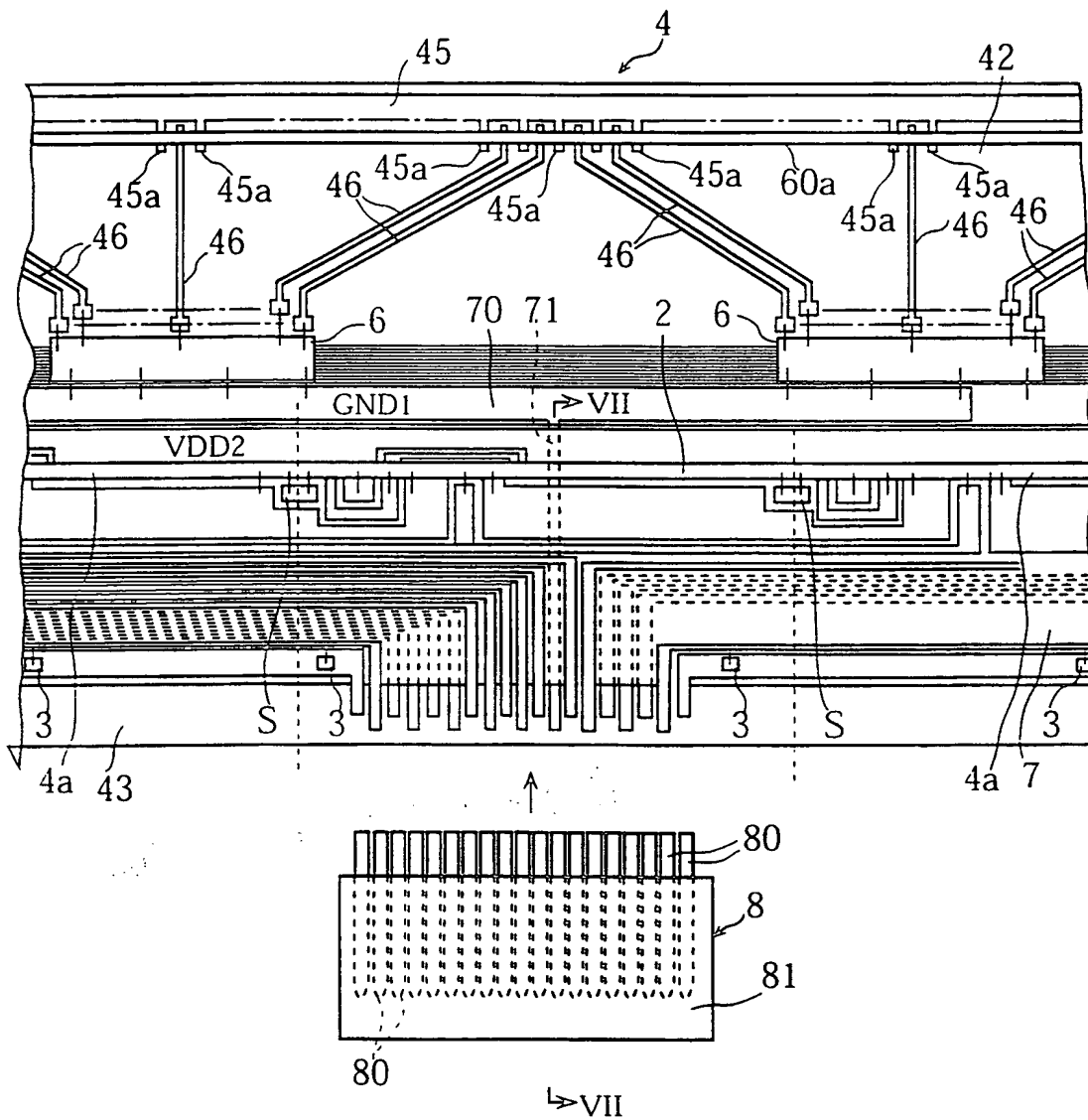
*This Page Blank (uspr)*

FIG.4



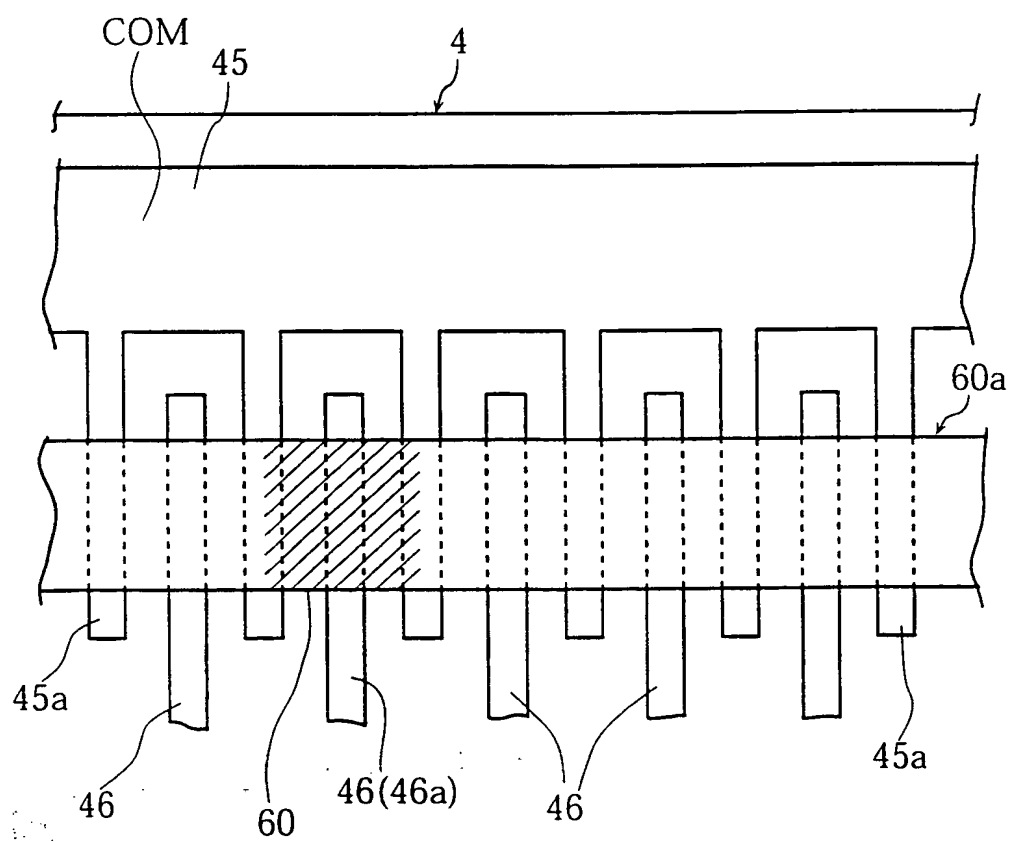
*This Page Blank (uspto)*

FIG.5



*This Page Blank (uspto)*

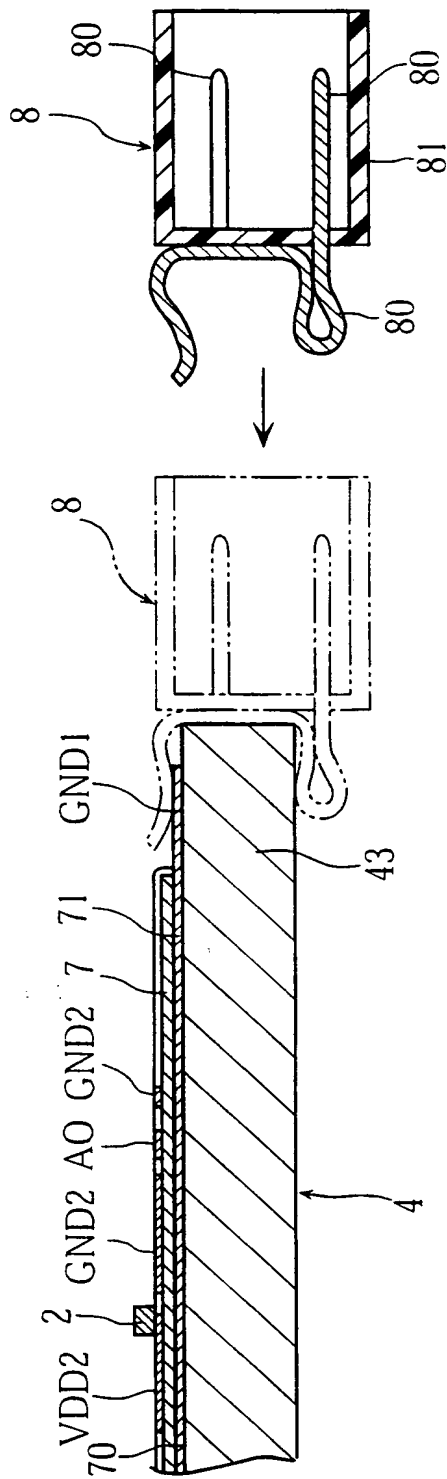
FIG.6



*This Page Blank (uspto)*

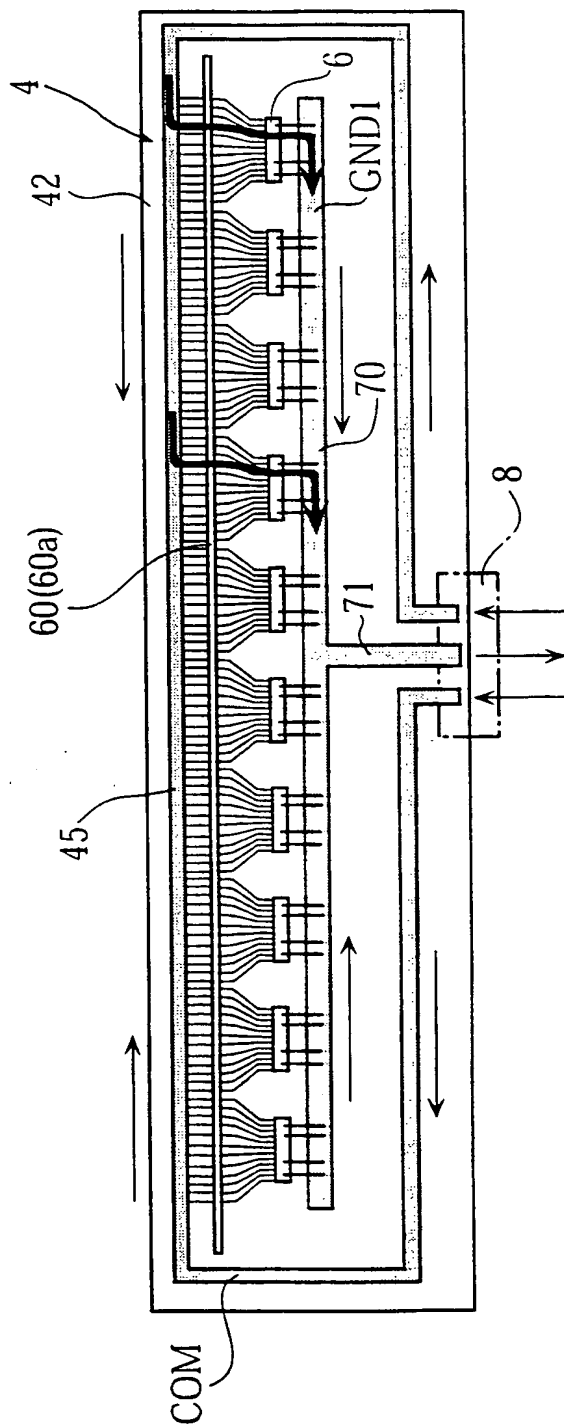


FIG.7

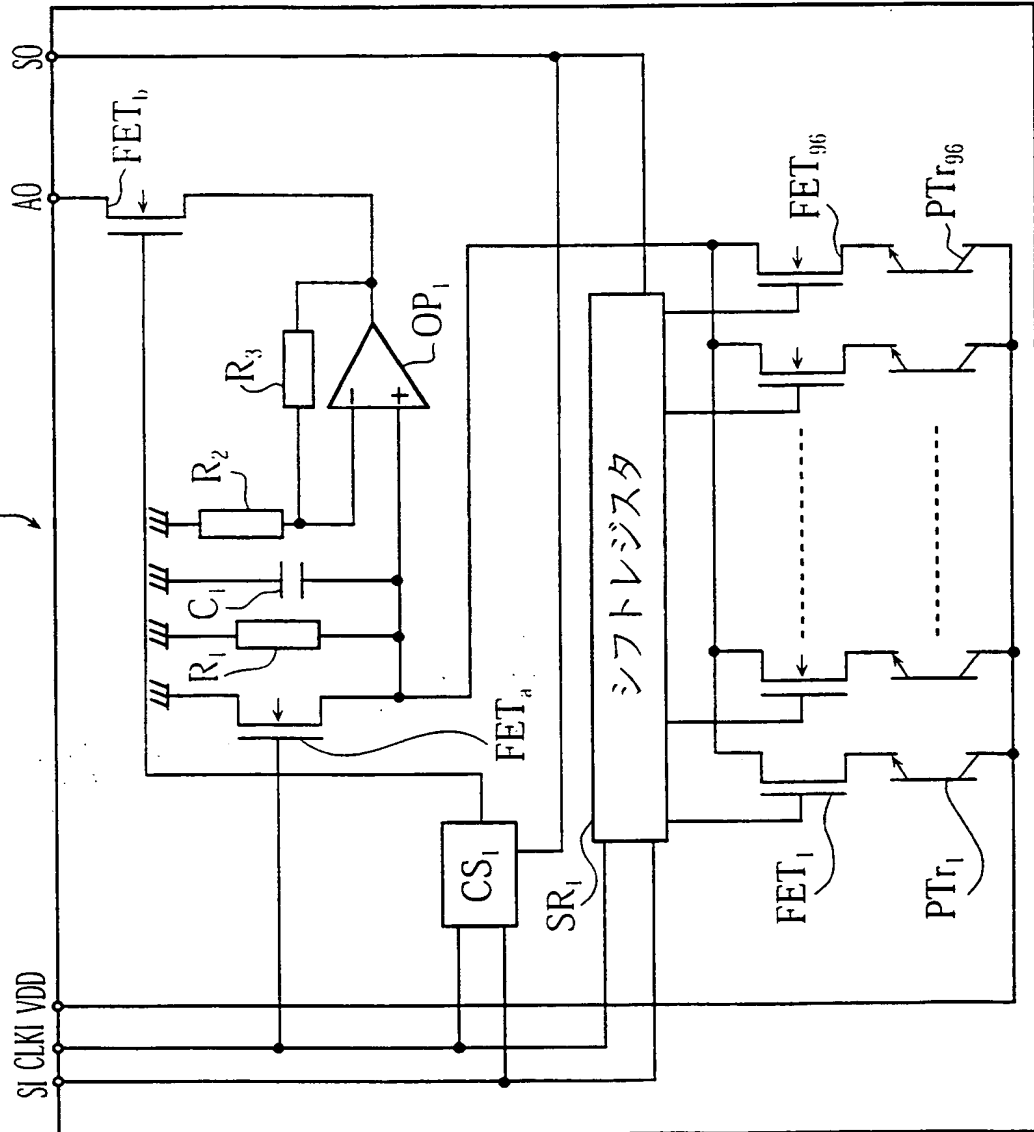


**This Page Blank (uspto)**

FIG.8

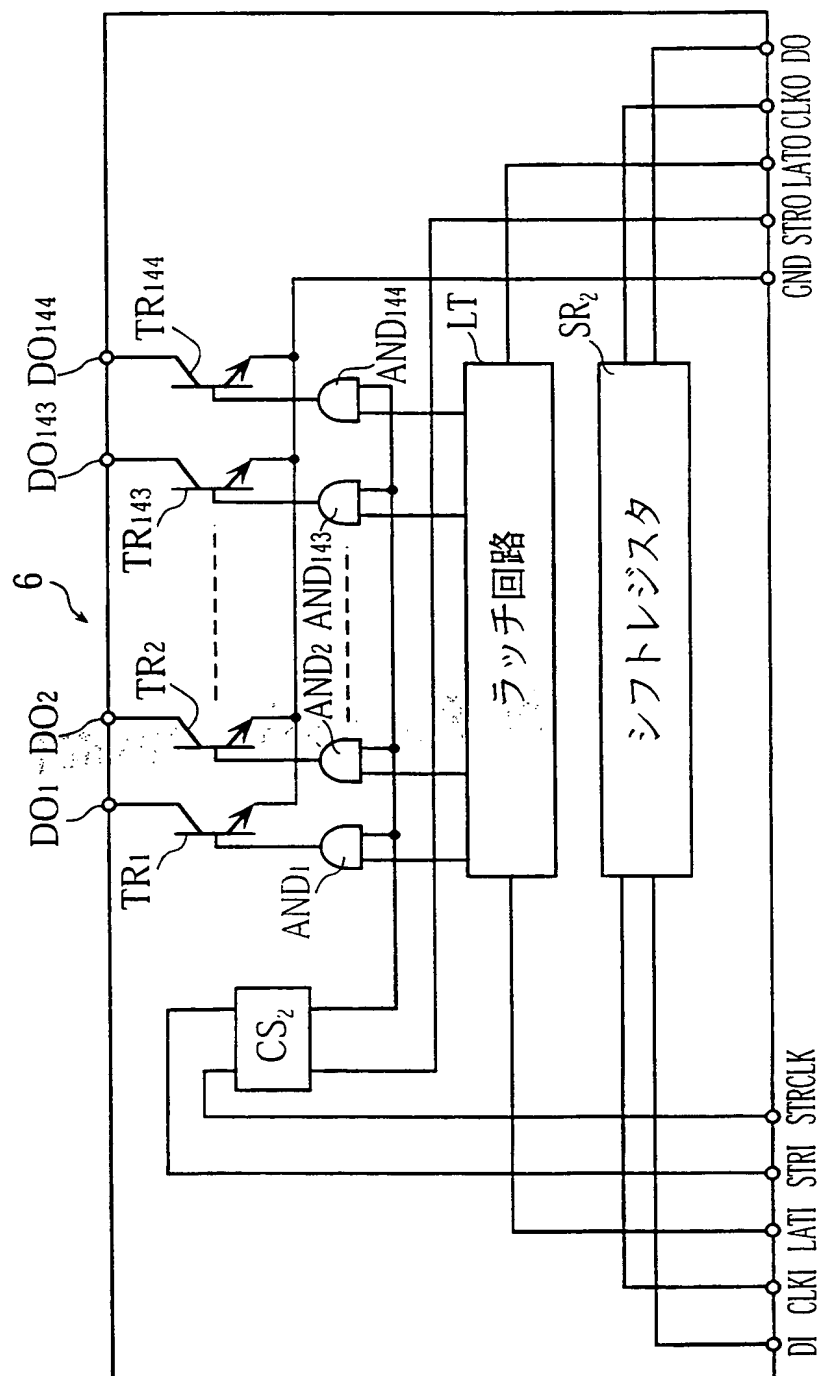


*This Page Blank (uspto)*

FIG.9  
2

*This Page Blank (uspto)*

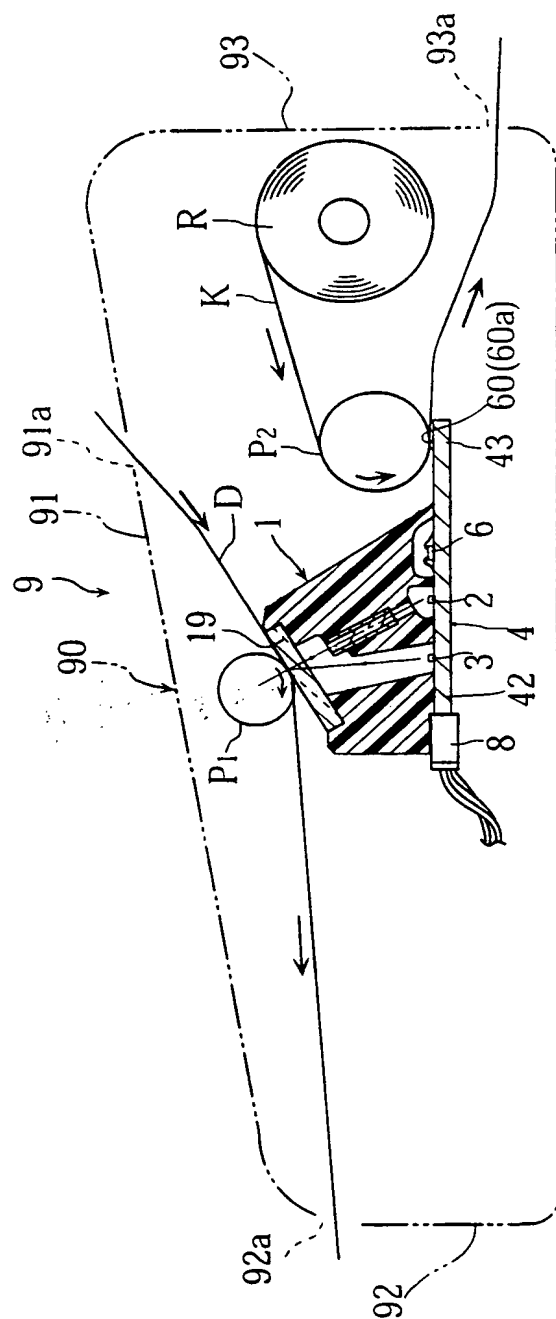
FIG.10



***This Page Blank (uspto)***

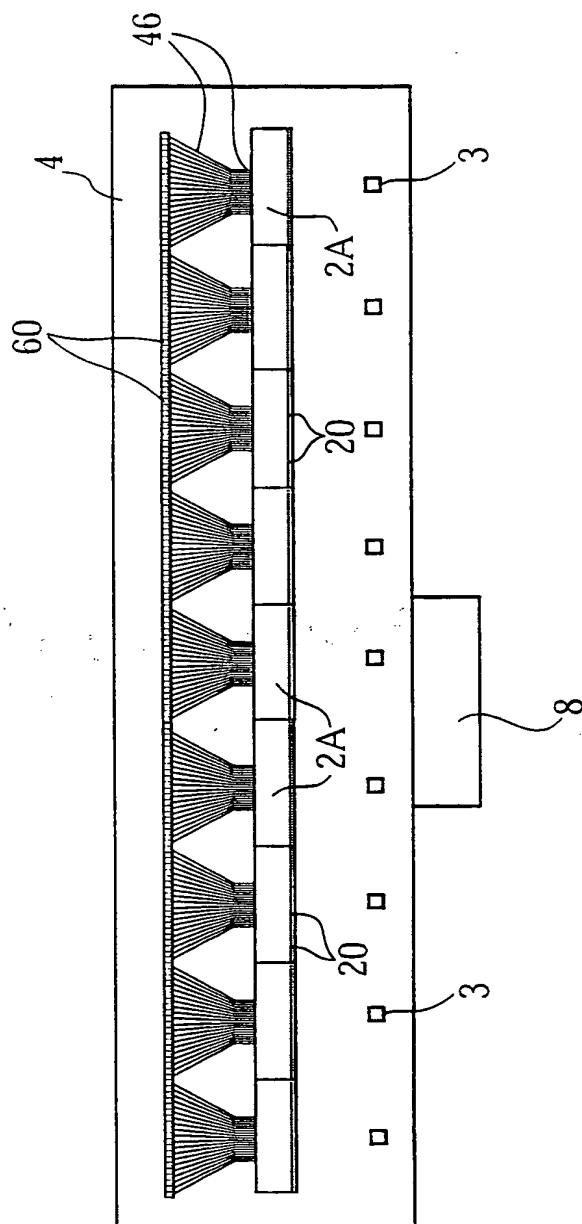


FIG.11



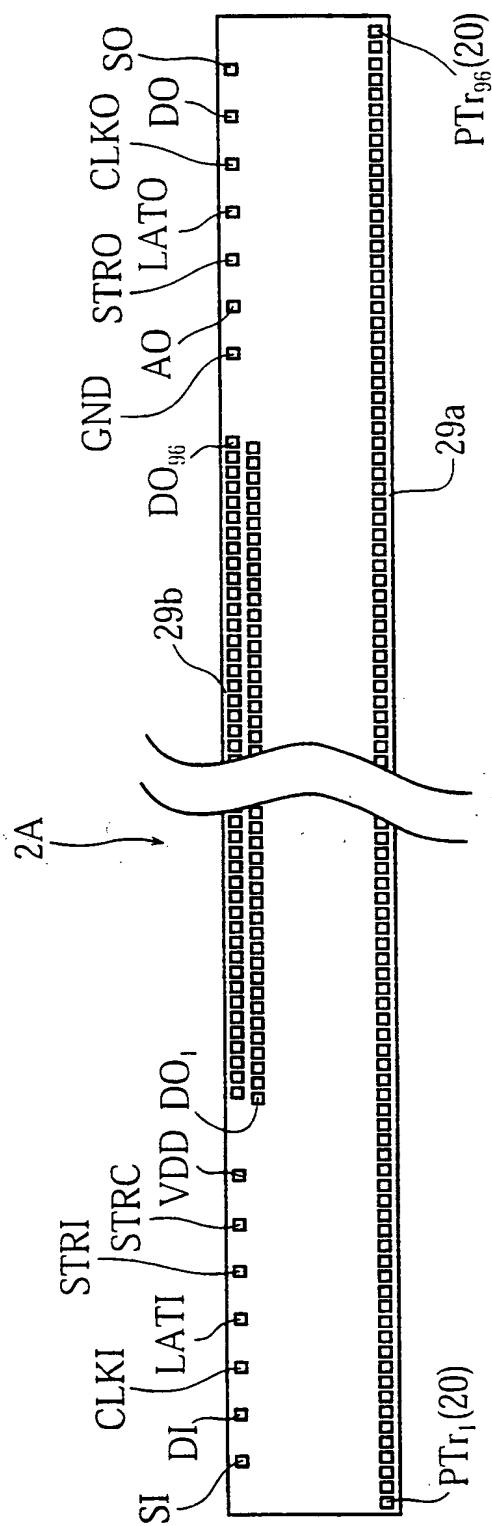
***This Page Blank (uspto)***

FIG.12

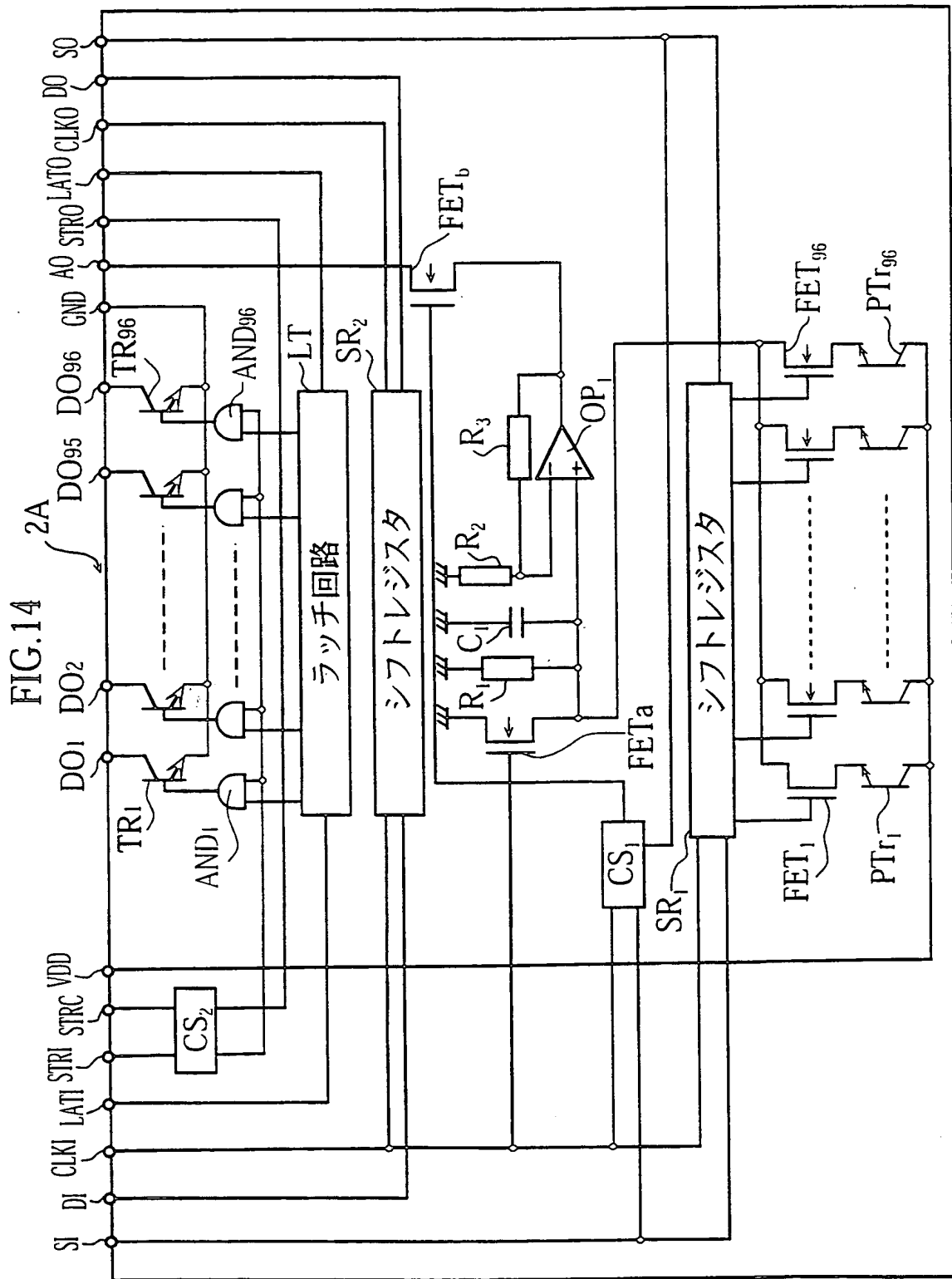


*This Page Blank (uspto)*

FIG.13



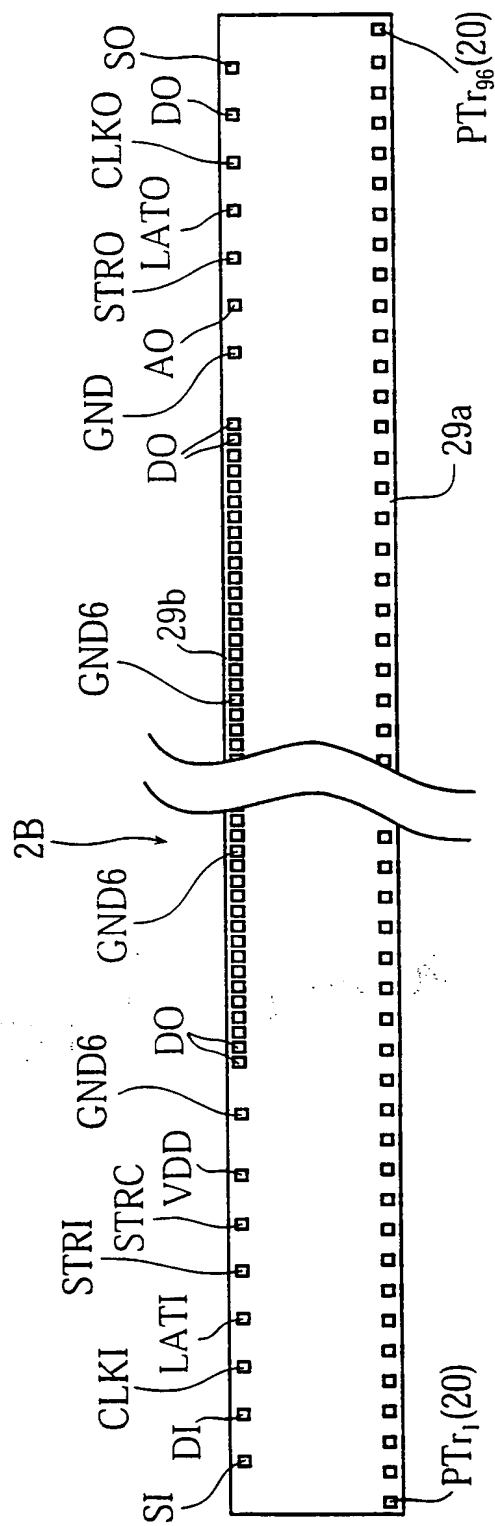
*This Page Blank (uspto)*



*This Page Blank (uspto)*



FIG.15

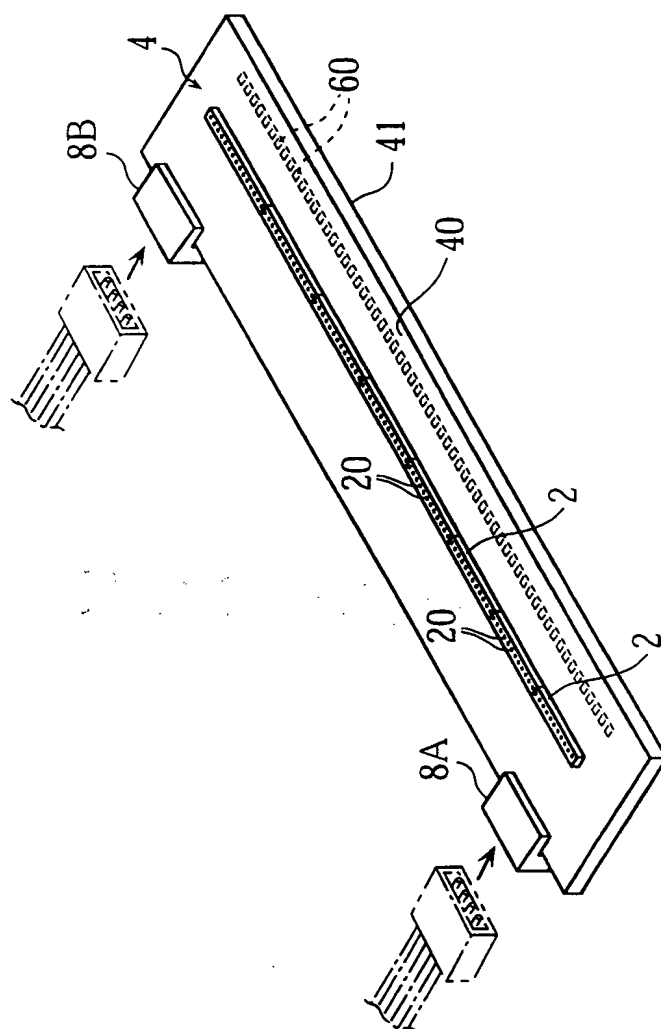


**This Page Blank (uspto)**



This Page Blank (uspto)

FIG. 17



THIS PAGE BLANK (USPTO)

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/04143

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>6</sup> H04N1/024

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl.<sup>6</sup> H04N1/024Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999  
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP, 6-86004, A (Brother Industries, Ltd.), 25 March, 1994 (25. 03. 94), Refer to Figs. 1 to 5 (Family: none)	1, 5-8, 11-14 2-4, 9-10
Y A	JP, 6-70090, A (Mitsubishi Electric Corp.), 11 March, 1994 (11. 03. 94), Refer to Figs. 1 to 5, 8 to 11, 15 (Family: none)	1, 5-8, 11-14 2-4, 9-10
Y A	JP, 10-51587, A (Rohm Co., Ltd.), 20 February, 1998 (20. 02. 98), Refer to Fig. 2 (Family: none)	1, 5-8, 11-14 2-4, 9-10
Y A	JP, 9-284470, A (Rohm Co., Ltd.), 31 October, 1997 (31. 10. 97), Refer to Fig. 2 (Family: none)	12-13 1-11, 14
A	JP, 6-113069, A (Mita Industrial Co., Ltd.), 22 April, 1994 (22. 04. 94), Refer to Fig. 1 (Family: none)	1-14

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
25 October, 1999 (25. 10. 99)Date of mailing of the international search report  
9 November, 1999 (09. 11. 99)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/04143

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 4-282952, A (Hitachi, Ltd.), 8 October, 1992 (08. 10. 92), Refer to Fig. 6 (Family: none)	1-14



A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>6</sup> H04N 1/024

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>6</sup> H04N 1/024

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996  
日本国公開実用新案公報 1971-1999  
日本国実用新案登録公報 1996-1999  
日本国登録実用新案公報 1994-1999

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P, 6-86004, A (ブラザー工業株式会社) 25. 3月. 1994 (25. 03. 94), 第1図-第5図参照, (ファミリーなし)	1, 5-8, 11-14 2-4, 9-10
Y A	J P, 6-70090, A (三菱電機株式会社) 11. 3月. 1994 (11. 03. 94), 第1図-第5図, 第8図-第11図, 第15図参照, (ファミリーなし)	1, 5-8, 11-14 2-4, 9-10
Y A	J P, 10-51587, A (ローム株式会社) 20. 2月. 1998 (20. 02. 98), 第2図参照, (ファミリーなし)	1, 5-8, 11-14 2-4, 9-10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

25. 10. 99

国際調査報告の発送日

09.11.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

大野 雅宏

5V 8113

電話番号 03-3581-1101 内線 3571

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P, 9-284470, A (ローム株式会社) 31. 10月. 1997 (31. 10. 97), 第2図参照, (ファミリーなし)	12-13 1-11, 14
A	J P, 6-113069, A (三田工業株式会社) 22. 4月. 1994 (22. 04. 94), 第1図参照, (ファミリーなし)	1-14
A	J P, 4-282952, A (株式会社日立製作所) 8. 10月. 1992 (08. 10. 92), 第6図参照, (ファミリーなし)	1-14